
第 21 章 UART

ハイライト

本章では次のトピックについて説明します。

21.1	はじめに.....	21-2
21.2	制御 レジスタ.....	21-3
21.3	UART ポー レート ジェネレータ (BRG).....	21-9
21.4	UART の構成.....	21-13
21.5	UART 送信部.....	21-14
21.6	UART 受信部.....	21-18
21.7	UART の 9 ビット通信の使い方.....	21-21
21.8	ブレーク文字の 受信.....	21-23
21.9	初期化.....	21-23
21.10	UART のその他の機能.....	21-25
21.11	CPU がスリープとアイドル モード中の UART 動作.....	21-27
21.12	UxCTS と UxRTS 制御ピンの動作.....	21-29
21.13	赤外線 の サポート.....	21-31
21.14	UART モジュールに関連するレジスタ.....	21-34
21.15	電氣的仕様.....	21-35
21.16	設計の秘訣.....	21-36
21.17	関連するアプリケーション ノート.....	21-37
21.18	改版履歴.....	21-38

21.1 はじめに

ユニバーサル非同期レシーバートランスミッター (UART) モジュールは、PIC24F デバイスファミリーで利用できるシリアル I/O モジュールの 1 つです。UART は全二重方式の非同期通信チャンネルで、パーソナル コンピュータや周辺モジュール デバイスと RS-232、RS-485、LIN 1.2、IrDA® プロトコルなどを使用して通信します。また、モジュールは、UxCTS と UxRTS ピンを使ったハードウェア フロー制御のオプションもサポートし、さらに IrDA エンコーダとデコーダも内蔵しています。

UART モジュールの主な特徴は次の通りです。

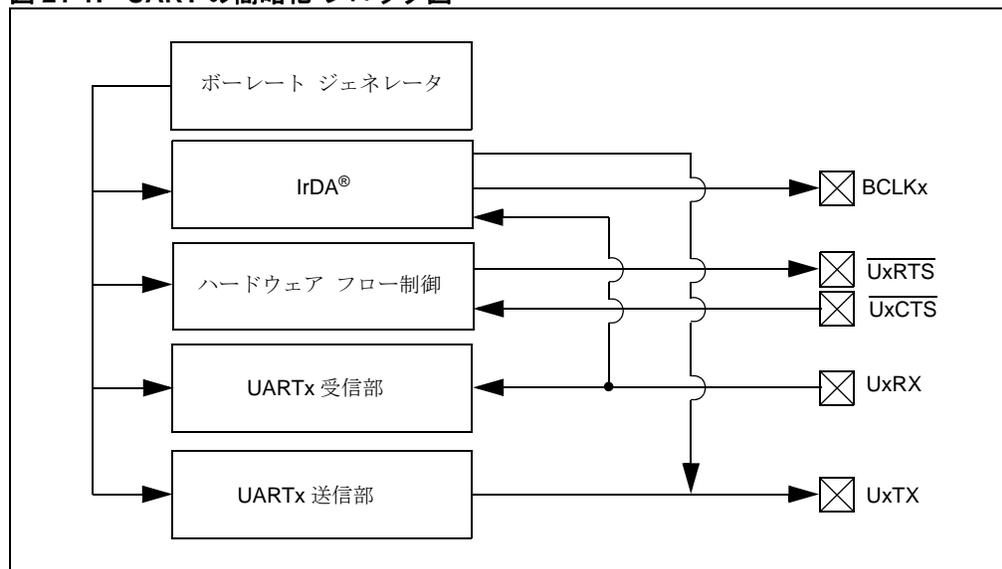
- UxTX および UxRX ピン経由の全二重通信方式 8 または 9 ビットデータ送信
- 偶数、奇数、またはパリティなしオプション (8 ビットデータの場合)
- 1 または 2 ストップ ビット
- ハードウェアによる自動ボーレート機能
- UxCTS と UxRTS ピンによるハードウェア フロー制御オプション
- 16 ビット プリスケアラ付き完全統合ボーレート ジェネレータ
- ボーレート範囲は、16MIPS のとき 1 Mbps から 15 bps まで
- 深さ 4 のファーストイン・ファーストアウト (FIFO) 送信データ バッファ
- 4 レベルの FIFO 受信データ バッファ
- パリティ、フレーミング、バッファ オーバーラン エラー検出
- アドレス検出付き (9 番目ビット = 1) 9 ビット モードをサポート
- 送信および受信割り込み
- 診断サポート用ループバック モード
- IrDA エンコーダ、デコーダ ロジック
- LIN 1.2 プロトコルをサポート
- 外付け IrDA エンコーダ/デコーダ サポート用の 16x ボー クロック出力

注：各 PIC24F デバイス バリエーションの中には、1 つ以上の UART モジュールを内蔵しているものがあります。ピン、制御 / 状態ビット、レジスタの名称に用いられる「x」はこのモジュール番号を示します。詳細は個別デバイスデータシートを参照してください。

UART の簡略化したブロック図を図 21-1 に示します。UART モジュールは次のようなキーとなる重要なハードウェア要素で構成されています。

- ボーレート ジェネレータ
- 非同期送信部
- 非同期受信部

図 21-1: UART の簡略化 ブロック図



21.2 制御 レジスタ

レジスタ 21-1: UxMODE: UARTx モード レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
UARTEN	UFRZ	USIDL	IREN	RTSMD	ALTIO ⁽¹⁾	UEN1	UEN0
ビット 15						ビット 8	

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WAKE	LPBACK	ABAUD	RXINV	BRGH	PDSEL1	PDSEL0	STSEL
ビット 7						ビット 0	

凡例:

R = 読み出し可	W = 書き込み可	U = 未実装、読むと「0」
-n = POR 後の値	'1' = セット	'0' = クリア
		x = 不定

- ビット 15 **UARTEN:** UARTx 有効化ビット
 1 = UARTx を有効化する。UARTx ピンは UARTx で制御、UEN<1:0> と UTXEN 制御ビットで定義される
 0 = UARTx を無効化する。UARTx ピン是对应する PORT、LAT、TRIS ビットで制御される
- ビット 14 **UFRZ :** デバッグ モードにおける動作停止ビット
 1 = エミュレータがデバッグ モードの場合、モジュールが停止する
 0 = エミュレータがデバッグ モードの場合も、モジュールは動作を継続する
- ビット 13 **USIDL:** アイドル モードで停止制御ビット
 1 = デバイスがアイドル モードに入ったとき動作停止
 0 = アイドル モード中も動作継続
- ビット 12 **IREN:** IrDA エンコーダ、デコーダ有効化ビット
 1 = IrDA エンコーダ、デコーダを有効化する
 0 = IrDA エンコーダ、デコーダを無効化する
- ビット 11 **RTSMD:** UxRTS ピンのモード選択ビット
 1 = UxRTS を単方向モードとする
 0 = UxRTS をフロー制御モードとする
- ビット 10 **ALTIO:** UARTx 代替 I/O 選択ビット
 1 = UARTx は UxATX と UxATX I/O ピンを使って通信する
 0 = UARTx は UxTX と UxRX I/O ピンを使って通信する
- ビット 9-8 **UEN<1:0>:** UARTx 有効化ビット
 11 = UxTX、UxRX、BCLKx ピンを有効化して使用する。UxCTS ピンは PORT で制御される
 10 = UxTX、UxRX、UxCTS、UxRTS ピンを有効化し使用する
 01 = UxTX、UxRX、UxRTS ピンを有効化し使用する。UxCTS ピンは PORT で制御される
 00 = UxTX、UxRX ピンを有効とし使用する。UxCTS、UxRTS、BCLKx ピンは PORT で制御される
- ビット 7 **WAKE:** スリープ モードのときスタート ビット検出でウェイク アップ有効化ビット
 1 = ウェイク アップを有効化する
 0 = ウェイク アップを無効化する
- ビット 6 **LPBACK:** UARTx ループ バック モード選択ビット
 1 = ループ バック モードを有効化する
 0 = ループ バック モードを無効化する
- ビット 5 **ABAUD:** 自動ボー有効化ビット
 1 = 次の文字でボー レート計測を有効とする。同期フィールド (55h) の受信を必要とする。完了でハードウェアでクリア
 0 = ボー レート計測は無効か完了している

注 1: 代替 UART I/O ピンは、全デバイスで有効なわけではありません。詳細はデバイスのデータシートを参照下さい。

レジスタ 21-1: UxMODE: UARTx モード レジスタ (続き)

- ビット 4 **RXINV:** 受信極性反転ビット
1 = UxRX のアイドル状態を「0」にする
0 = UxRX のアイドル状態を「1」にする
- ビット 3 **BRGH:** 高速ボー レート選択ビット
1 = 高速
0 = 低速
- ビット 2-1 **PDSEL<1:0>:** パリティとデータ選択ビット
11 = 9 ビットデータ、パリティなし
10 = 8 ビットデータ、奇数パリティ
01 = 8 ビットデータ、偶数パリティ
00 = 8 ビットデータ、パリティなし
- ビット 0 **STSEL:** ストップ選択ビット
1 = 2 ストップ ビット
0 = 1 ストップ ビット

注 1: 代替 UART I/O ピンは、全デバイスで有効なわけではありません。詳細はデバイスのデータ シートを参照下さい。

レジスタ 21-2: UxSTA: UARTx ステータスと制御レジスタ

R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R-0	R-1
UTXISEL1	UTXINV	UTXISEL0	—	UTXBRK	UTXEN	UTXBF	TRMT
ビット 15						ビット 8	

R/W-0	R/W-0	R/W-0	R-1	R-0	R-0	R/C-0	R-0
URXISEL1	URXISEL0	ADDEN	RIDLE	PERR	FERR	OERR	URXDA
ビット 7						ビット 0	

凡例: R = 読み出し可 -n = POR 後の値	C = クリア可能 W = 書き込み可 '1' = セット	U = 未実装、読むと「0」 '0' = クリア x = 不定
---	-------------------------------------	---------------------------------------

ビット 15,13 UTXISEL<1:0> 送信割り込みモード選択ビット

- 11 = 予約
- 10 = 送信文字が送信シフト レジスタに転送され、送信バッファが空になったとき割り込み発生
- 01 = 最後の送信が送信完了（最後の文字が送信シフトレジスタからシフトアウト）して、全送信動作が完了したとき割り込み発生
- 00 = いずれかの文字が送信シフト レジスタに転送されたとき（これは少なくとも 1 文字分の空きが送信バッファにあることを示す）割り込み発生

ビット 14 UTXINV: 送信極性反転ビット

- IREN = 0:
- 1 = UxTX のアイドル状態を「1」とする
- 0 = UxTX のアイドル状態を「0」とする
- IREN = 1:
- 1 = IrDA は UxTX のアイドル状態を「1」とエンコードする
- 0 = IrDA は UxTX のアイドル状態を「0」とエンコードする

ビット 12 未実装: 読むと「0」

ビット 11 UTXBRK: 送信ブレーク ビット

- 1 = 送信状態に関わらず UxTX ピンを Low に駆動する（同期ブレーク送信 – スタート ビットの後に 12 個の「0」とストップ ビットが続く）
- 0 = 同期ブレーク送信は無効か完了した

ビット 10 UTXEN: 送信有効化ビット

- 1 = UARTx 送信を有効化する。UxTX ピンは UARTx により制御される (UARTEN = 1 の場合)
- 0 = UARTx 送信を無効化する。すべての待機中の送信が中止されバッファはリセットされる。UxTX ピンは PORT により制御される

ビット 9 UTXBF: 送信バッファフルステータスビット (読み出しのみ)

- 1 = 送信バッファは一杯
- 0 = 送信バッファは一杯ではなく、少なくとももう 1 個のデータが書き込み可能

ビット 8 TRMT: 送信シフトレジスタが空ビット (読み出しのみ)

- 1 = 送信シフトレジスタは空で、送信バッファも空（最後の送信が完了した）
- 0 = 送信シフトレジスタは空でなく、送信中か送信バッファに送信待ちあり

ビット 7-6 URXISEL<1:0>: 受信割り込みモード選択ビット

- 11 = 受信バッファが一杯になったとき割り込みフラグをセット（つまり 4 個のデータ文字がある）
- 10 = 受信バッファの 3/4 が満たされたとき割り込みフラグをセット（つまり 3 個のデータ文字がある）
- 0x = 文字が受信される都度割り込みフラグビットをセットする

ビット 5 ADDEN: アドレス文字検出ビット (受信データのビット 8 = 1)

- 1 = アドレス検出モードを有効化する。9 ビットモードが非選択の場合はこの制御ビットは影響なし
- 0 = アドレス検出モードを無効化する

ビット 4 RIDLE: 受信アイドルビット (読み出しのみ)

- 1 = 受信はアイドル
- 0 = データは受信

レジスタ 21-2: UxSTA: UARTx ステータスと制御レジスタ (続き)

- ビット 3 **PERR:** パリティ エラー ステータス ビット (読み出しのみ)
1 = パリティ エラーを現在の文字で検出
0 = パリティ エラーは検出されていない
- ビット 2 **FERR:** フレーミング エラー ステータス ビット (読み出しのみ)
1 = フレーミング エラーを現在の文字で検出
0 = フレーミング エラーは検出されていない
- ビット 1 **OERR:** 受信バッファ オーバーランエラー ステータス ビット (クリア / 読み出しのみ)
1 = 受信バッファがオーバーフローした
0 = 受信バッファはオーバーフローしていない (以前にセットされた OERR ビットをクリアすると受信バッファと RSR をリセットし空の状態にする)
- ビット 0 **URXDA:** 受信バッファ データ有効ビット (読み出しのみ)
1 = 受信バッファにデータがある。少なくとももう 1 個の文字が読み出し可能
0 = 受信バッファは空

レジスタ 21-3: UxRXREG: UARTx 受信レジスタ

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R-0
—	—	—	—	—	—	—	URX8
ビット 15							ビット 8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
URX<7:0>							
ビット 7							ビット 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

ビット 15-9 **未実装:** 読むと「0」

ビット 8 **URX8:** 受信文字のデータ ビット 8 (9 ビット モードの場合)

ビット 7-0 **URX<7:0>:** 受信文字のデータ ビット 7 ~ 0

レジスタ 21-4: UxTXREG: UARTx 送信レジスタ (書き込み専用)

U-0	U-0	U-0	U-0	U-0	U-0	U-0	W-x
—	—	—	—	—	—	—	UTX8
ビット 15							ビット 8
W-x	W-x	W-x	W-x	W-x	W-x	W-x	W-x
UTX<7:0>							
ビット 7							ビット 0

凡例:

R = 読み出し可 W = 書き込み可 U = 未実装、読むと「0」
 -n = POR 後の値 '1' = セット '0' = クリア x = 不定

ビット 15-9 **未実装:** 読むと「0」

ビット 8 **UTX8:** 送信文字のデータ ビット 8 (9 ビット モードの場合)

ビット 7-0 **URX<7:0>:** 送信文字のデータ ビット 7 ~ 0

PIC24F ファミリ リファレンス マニュアル

レジスタ 21-5: UxBRG: UARTx ポーレート レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	W-x
BRG<15:8>							
ビット 15				ビット 8			

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BRG<7:0>							
ビット 7				ビット 0			

凡例:

R = 読み出し可

W = 書き込み可

U = 未実装、読むと「0」

-n = POR 後の値

'1' = セット

'0' = クリア

x = 不定

ビット 15-0 **BRG<15:0>**: ポーレート 除数ビット

21.3 UART ボーレート ジェネレータ (BRG)

UART モジュールは専用の 16 ビット ボーレート ジェネレータを持っています。UxBRG レジスタはフリーランの 16 ビット タイマの周期を制御します。式 21-1 は BRGH = 0 の場合のボーレートを求める計算式を示しています。

式 21-1: UART ボーレート、BRGH = 0 の場合

$$\text{ボーレート} = \frac{\text{FCY}}{16 \cdot (\text{UxBRG} + 1)}$$

$$\text{UxBRG} = \frac{\text{FCY}}{16 \cdot \text{ボーレート}} - 1$$

注: FCY は命令サイクルクロック周波数を表す (Fosc/2)。

例 21-1 に次の条件のときのボーレート エラーの計算を示します。

- FCY = 4 MHz
- 希望ボーレート = 9600

例 21-1: ボーレート エラーの計算 (BRGH = 0)

$$\text{希望ボーレート} = \text{FCY}/(16 (\text{UxBRG} + 1))$$

UxBRG 値の解:

$$\text{UxBRG} = ((\text{FCY}/\text{希望ボーレート})/16) - 1$$

$$\text{UxBRG} = ((4000000/9600)/16) - 1$$

$$\text{UxBRG} = 25$$

$$\text{計算したボーレート} = 4000000/(16 (25 + 1))$$

$$= 9615$$

$$\text{エラー} = \frac{(\text{計算したボーレート} - \text{希望ボーレート})}{\text{希望ボーレート}}$$

$$= (9615 - 9600)/9600$$

$$= 0.16\%$$

可能な最高ボーレート (BRGH = 0) は FCY/16 (UxBRG = 0 の場合) のときで、可能な最低のボーレートは FCY/(16 * 65536) のときとなります。

式 21-2 に BRGH = 1 の場合のボーレートの計算式を示します。

式 21-2: UART ボーレート、BRGH = 1 の場合

$$\text{ボーレート} = \frac{\text{FCY}}{4 \cdot (\text{UxBRG} + 1)}$$

$$\text{UxBRG} = \frac{\text{FCY}}{4 \cdot \text{ボーレート}} - 1$$

注: FCY は命令サイクルクロック周波数を表す。

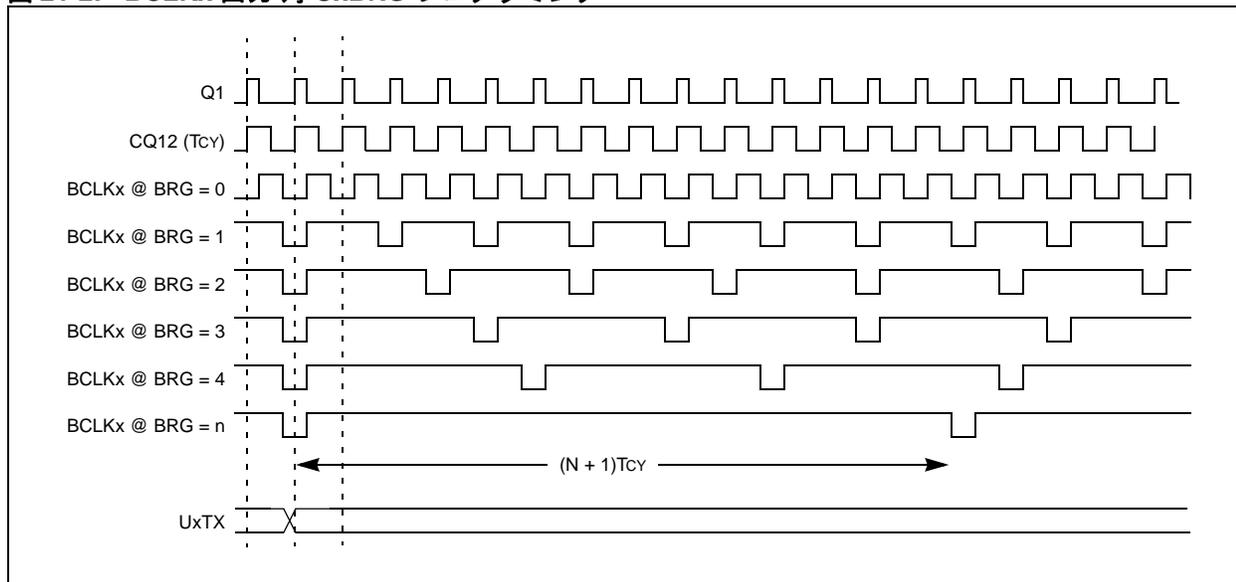
可能な最高ボーレートは (BRGH = 1)FCY/4 (UxBRG = 0 の場合) のとき、可能な最低のボーレートは、FCY/(4 * 65536) のときとなります。

UxBRG レジスタに新しい値を書き込むと、BRG タイマはリセット (クリア) されます。これで BRG が新ボーレートに切り替わるのにタイマがオーバーフローするのを待つ必要がなくなります。

21.3.1 BCLKx 出力

BCLKx ピンは、UART と BCLKx 出力が有効化 (UEN<1:0> = 11) されると 16x ボーのクロックを出力します。この機能は外付け IrDA エンコーダ/デコーダのサポート用です (図 21-2 参照)。BCLKx 出力はスリープモード中は Low のままです。BCLKx は UART がこのモード (UEN<1:0> = 11) である限り、PORTx や TRISx ラッチビットに関係なく出力を維持します。

図 21-2: BCLKx 出力 対 UxBRG プログラミング



21.3.2 ボー レート表

一般的なデバイス命令サイクル周波数 (Fcy) に対する UART ボーレートは表 21-1 と表 21-2 で示されます。各周波数における最高、最低ボーレートも示しています。

表 21-1: UART ボー レート (BRGH = 0)

ボー レート	Fcy = 16 MHz			Fcy = 8 MHz			Fcy = 4 MHz		
	実際の ボー レート	% 誤差	BRG 値 (10 進)	実際の ボー レート	% 誤差	BRG 値 (10 進)	実際の ボー レート	% 誤差	BRG 値 (10 進)
110	110.0	0.00	9090	917.4	0.00	4544	110.0	0.00	2272
300	300.0	0.01	3332	299.9	0.00	1666	300.1	0.00	832
1200	1200.5	0.04	832	1199.0	0.00	416	1201.9	0.16	207
2400	2398.1	-0.08	416	2403.8	0.16	207	2403.8	0.15	103
9600	9615.4	0.16	103	9615.4	0.16	51	9615.4	0.20	25
19.2K	19230.8	0.16	51	19230.8	0.16	25	19230.8	0.20	12
38.4K	38461.5	0.16	25	38461.5	0.16	12			
56K	55555.6	-0.79	17	55555.6	-0.79	8			
115K	111111.1	-3.38	8						
250K	250000.0	0.00	3						
300K									
500K	500000.0	0.00	1						
Min.	15.0	0.00	65535	8.0	0.00	65535	4.0	0.00	65535
Max.	1000000.0	0.00	0	500000.0	0.00	0	250000.0	0.00	0

ボー レート	Fcy = 8 MHz			Fcy = 4 MHz			Fcy = 1 MHz		
	実際の ボー レート	% 誤差	BRG 値 (10 進)	実際の ボー レート	% 誤差	BRG 値 (10 進)	実際の ボー レート	% 誤差	BRG 値 (10 進)
110	917.4	0.00	4544	110.0	0.00	2272	110.0	0.00	567
300	299.9	0.00	1666	300.1	0.00	832	300.4	0.10	207
1200	1199.0	0.00	416	1201.9	0.16	207	1201.9	0.16	51
2400	2403.8	0.16	207	2403.8	0.15	103	2403.8	0.15	25
9600	9615.4	0.16	51	9615.4	0.20	25			
19.2K	19230.8	0.16	25	19230.8	0.20	12			
38.4K	38461.5	0.16	12						
56K	55555.6	-0.79	8						
115K									
250K									
300K									
500K									
Min.	8.0	0.00	65535	4.0	0.00	65535	0.95	0.00	65535
Max.	500000.0	0.00	0	250000.0	0.00	0	62500.0	0.00	0

PIC24F ファミリ リファレンス マニュアル

表 21-2: UART ボー レート (BRGH = 1)

ボー レート	Fcy = 16 MHz			Fcy = 8 MHz			Fcy = 4MHz		
	実際の ボー レート	% 誤差	BRG 値 (10 進)	実際の ボー レート	% 誤差	BRG 値 (10 進)	実際の ボー レート	% 誤差	BRG 値 (10 進)
110	110.0	0.00	36363	110.0	0.00	18181	110.0	0.00	9090
300	300.0	0.01	13332	300.0	0.00	6666	300.0	0.00	3332
1200	1200.1	0.01	3332	1199.7	-0.01	1666	1200.5	0.00	832
2400	2399.5	-0.01	1666	2400.9	0.04	832	2398.1	-0.07	416
9600	9592.3	-0.07	416	9615.4	0.16	207	9615.3	0.16	103
19.2K	19230.7	0.16	207	19230.8	0.16	103	19230.7	0.16	51
38.4K	38461.5	0.16	103	38461.5	0.16	51	38461.5	0.16	25
56K	56338.0	0.60	70	55555.6	-0.79	35	55555.5	-0.79	17
115K	114285.7	-0.62	34	117647.0	2.30	16			
250K	250000.0	0.00	15						
300K	307692.3	2.50	12						
500K	500000.0	0.00	7						
Min.	61.0	0.00	65535	31.0	0.00	65535	16.0	0.00	65535
Max.	4000000.0	0.00	0	200000.0	0.00	0	1000000.0	0.00	0

ボー レート	Fcy = 8 MHz			Fcy = 4MHz			Fcy = 1 MHz		
	実際の ボー レート	% 誤差	BRG 値 (10 進)	実際の ボー レート	% 誤差	BRG 値 (10 進)	実際の ボー レート	% 誤差	BRG 値 (10 進)
110	110.0	0.00	18181	110.0	0.00	9090	110.0	0.00	2272
300	300.0	0.00	6666	300.0	0.00	3332	300.1	0.10	832
1200	1199.7	-0.01	1666	1200.5	0.00	832	1201.9	0.15	207
2400	2400.9	0.04	832	2398.1	-0.07	416	2403.8	0.15	103
9600	9615.4	0.16	207	9615.3	0.16	103	9615.3	0.16	25
19.2K	19230.8	0.16	103	19230.7	0.16	51	19230.7	0.16	12
38.4K	38461.5	0.16	51	38461.5	0.16	25			
56K	55555.6	-0.79	35	55555.5	-0.79	17			
115K	117647.0	2.30	16						
250K									
300K									
500K									
Min.	31.0	0.00	65535	16.0	0.00	65535	3.81	0.00	65535
Max.	200000.0	0.00	0	1000000.0	0.00	0	250000.0	0.00	0

21.4 UART の構成

UART は標準の非ゼロ復帰 (NRZ) 形式 (START ビット 1 個、8 あるいは 9 個のデータビット、1 あるいは 2 個の STOP ビット) を使用しています。パリティはハードウェアでサポートされており、ユーザーは偶数、奇数、またはパリティなしのいずれかを設定できます。最も一般的なデータ形式はデータ 8 ビット、パリティなし、1 個の STOP ビット (8、N、1 と表されます) で、これがデフォルト (POR) に設定されています。データビットと STOP ビットの数、パリティは、PDSSEL<1:0> (UxMODE<2:1>) および STSEL (UxMODE<0>) ビットで設定されています。オンチップの専用 16 ビットボーレート ジェネレータを用いて、発振器から標準ボーレート周波数を駆動できます。UART は LSb を最初に送受信します。UART モジュールのトランスミッタとレシーバは独立して機能しますが、同じデータ形式とボーレートを使用します。

21.4.1 UART の有効化

UART モジュールは UARTEN (UxMODE<15>) ビットおよび UTXEN (UxSTA<10>) ビットをセットすることにより有効化されます。いったん有効化されると、UxTX および UxRX ピンはそれぞれ出力および入力として設定され、対応する I/O ポート ピンに対する TRIS および PORT ピンの設定を上書きします。送信が行われていない場合、UxTX ピンはロジック '1' の状態になります。

注: UTXEN ビットは UARTEN ビットをセットするまでセットしないで下さい。そうしないと UART 送信が有効になりません。

21.4.2 UART の無効化

UART モジュールは UARTEN (UxMODE<15>) ビットをクリアすることで無効化されます。これはすべての RESET 後のデフォルト状態です。UART が無効化されると、すべての UART ピンは、対応する PORT および TRIS ビットの制御下でポート ピンとして動作します。

UART モジュールの無効化は、バッファを空の状態にリセットします。バッファ内のデータ文字はすべて失われ、ボーレート カウンタはリセットされます。

UART モジュールを無効化した場合、モジュールに関するエラーおよび状態フラグはすべてリセットされます。URXDA、OERR、FERR、PERR、UTXEN、UTXBRK および UTXBF ビットはクリアされますが、RIDLE および TRMT はセットされます。その他、ADDEN、URXISEL<1:0>、UTXISEL または UxMODE および UxBRG レジスタを含む制御ビットには影響はありません。

UART がアクティブである状態で UARTEN ビットをクリアすると、待機中の送受信はすべて中止され、モジュールは上記のようにリセットされます。UART を再有効化すると、UART は同じ構成で再起動します。

21.4.3 代替 UART I/O ピン

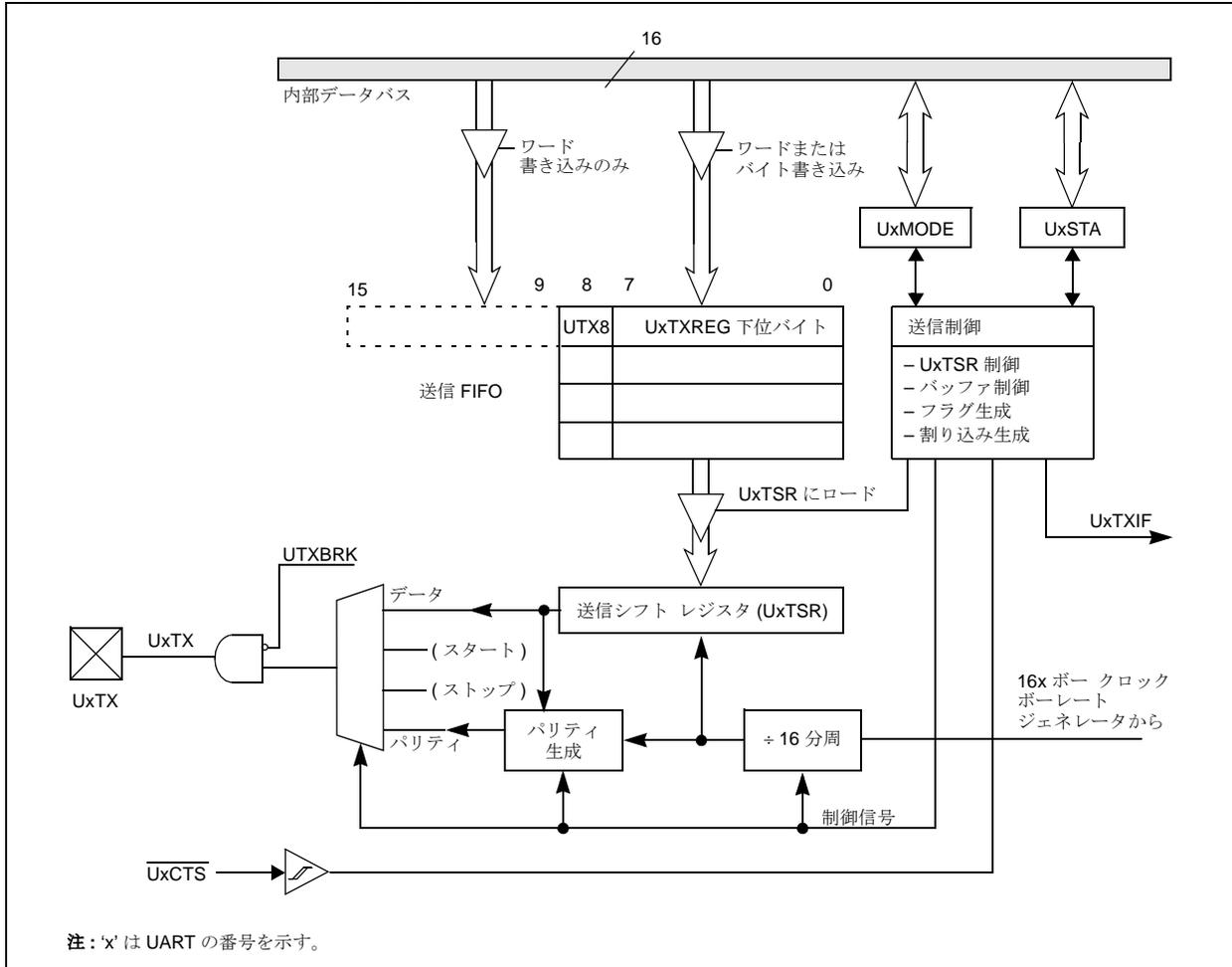
PIC24F デバイスの中には、通信用の代替 UART 送受信ピンを有するものがあります。代替 UART ピンは、主 UART ピンが他の周辺モジュールと共有されている場合に便利です。代替 I/O ピンは ALTIO ビット (UxMODE<10>) をセットすることにより有効化されます。ALTIO = 1 の場合、UxTX および UxRX ピンの代わりに、UxATX および UxARX ピン (それぞれ代替送信および代替受信ピンに相当) が UART モジュールによって使用されます。ALTIO = 0 の場合、UxTX および UxRX ピンが UART モジュールによって使用されます。

21.5 UART 送信部

図 21-3 は UART 送信部のブロック図を示しています。送信部の中心は送信シフトレジスタ (UxTSR) です。シフトレジスタはデータを送信 FIFO バッファ UxTXREG から取得します。UxTXREG レジスタにはソフトウェアでデータがロードされます。UxTSR レジスタは、その前の送信中データの STOP ビットが送信されるまでロードされません。STOP ビットが送信されると、ただちに UxTSR には UxTXREG レジスタから新しいデータがロードされます (有効な場合)。

注: UxTSR レジスタはメモリにマップされていないので、ユーザーが使うことはできません。

図 21-3: UART 送信部 ブロック図



送信は UTXEN 有効化ビット (UxSTA<10>) をセットすることにより有効化されます。実際の送信は UxTXREG レジスタにデータがロードされ、ボーレートジェネレータ (UxBRG) がシフトクロックを生成するまで行われません (図 21-3)。送信は、まず UxTXREG レジスタにロードし、次に UTXEN 有効化ビットをセットすることで開始されます。通常、送信が初めて開始された場合、UxTSR レジスタは空なので、UxTXREG レジスタへの転送に続いてただちに UxTSR への転送が行われます。UTXEN ビットを送信中にクリアすると送信は中止されて、送信部はリセットされます。その結果、UxTX ピンはハイインピーダンス状態に戻ります。

9 ビット送信を選択するためには、PDSEL<1:0> ビット (UxMODE<2:1>) を「11」にセットし、9 番目のビットを UTX8 ビット (UxTXREG<8>) に書き込みます。9 個のビットすべてが同時に書き込まれるように、ワード書き込みを UxTXREG に対して実行する必要があります。

注: 9 ビットデータ送信の場合にはパリティはありません。

21.5.1 送信バッファ (UxTXREG)

送信バッファは、深さ 4、幅 9 ビットのバッファです。送信シフトレジスタ (UxTSR) と合わせるとユーザーは実質 5 レベルの深さのバッファを持つことになります。これは先入れ先出し (FIFO) で構成されています。UxTXREG の内容が UxTSR レジスタに転送されると、現在のバッファ位置に新しいデータを書き込むことが可能となり、次のバッファ位置が UxTSR レジスタへのソース (データ源) となります。UTXBF (UxSTA<9>) ステータスビットは、バッファがフルの場合いつでもセットされます。フル状態のバッファに書き込みを行おうとしても、新しいデータは FIFO に受け入れられません。

FIFO はすべてのデバイスリセットでリセットされますが、デバイスが省電力モードに移行したとき、あるいは省電力モードからウェイクアップしたときには影響を受けません。

21.5.2 送信割り込み

送信割り込みフラグ (UxTXIF) は対応する割り込みフラグ状態 (IFS) レジスタに配置されています。UART の送信割り込みをいつ発生させるかは、UTXISEL<1:0> 制御ビット (UxSTA<15,13>) によって決定されます。

1. UTXISEL<1:0> = 00 の場合、送信バッファから送信シフトレジスタ (UxTSR) に文字が転送されると UxTXIF がセットされます。このことは、送信バッファに少なくとも 1 個の空の場所があることを示しています。
2. UTXISEL<1:0> = 01 の場合、送信バッファから送信シフトレジスタ (UxTSR) に最後の文字が転送されたとき UxTXIF がセットされます。これは送信動作が完了したことを示しています。
3. UTXISEL<1:0> = 10 の場合、文字が送信シフトレジスタ (UxTSR) に転送され送信バッファが空になったとき UxTXIF がセットされます。

UxTXIF ビットは、モジュールが有効になった最初にセットされます。このときは UxTXIF ビットを ISR 内でクリアして下さい。

2 つの割り込みモード間の切り替えは動作中でも可能です。

注: UTXEN ビットがセットされる際、UTXISEL<1:0> = 00 ならば、UxTXIF フラグビットもセットされます。これは、送信バッファがまだフル状態ではない (UxTXREG レジスタに送信データを移動させることが可能である) ためです。

UxTXIF フラグビットは UxTXREG レジスタの状態を示し、TRMT ビット (UxSTA<8>) は UxTSR レジスタの状態を示します。TRMT 状態ビットは読み取り専用ビットで、UxTSR レジスタが空の場合セットされます。このビットには割り込みロジックは付属していないので、UxTSR レジスタが空かどうか判断するためにはこのビットをポーリングする必要があります。

21.5.3 UART 送信のセットアップ

送信のセットアップは次のステップで行います。

1. UxBRG レジスタを適切なボーレートで初期化する (21.3 項「UART ボー レート ジェネレータ (BRG)」参照)
2. PDSEL<1:0> (UxMODE<2:1>) および STSEL (UxMODE<0>) ビットに書き込みをして、データ ビット数、ストップ ビット数、パリティ選択を設定する
3. 送信割り込みを使用する場合は、対応する割り込み有効化制御レジスタ (IEC) 内の UxTXIE 制御ビットをセットする。対応する割り込み優先レベル制御レジスタ (IPC) 内の UxTXIP<2:0> 制御ビットを使用して送信割り込みの優先レベルを指定する。さらに、UTXISEL<1:0> (UxSTA<15,13>) ビットに書き込むことで送信割り込みモードを選択する
4. UARTEN (UxMODE<15>) ビットをセットして UART モジュールを有効化する
5. UTXEN (UxSTA<10>) ビットをセットして送信を有効にすると、同時に UxTXIF ビットもセットされる。UxTXIF ビットは UART 送信割り込みサービスのソフトウェア ルーチン内でクリアする。UxTXIF ビットの動作は、UTXISEL<1:0> 制御ビットにより制御できる
6. UxTXREG レジスタにデータをロードする (送信開始)。9 ビット送信が選択されている場合は、ワードでロードする。8 ビット送信の場合は、バイトでロードする。データは UTXBF ステータス ビット (UxSTA<9>) がセットされるまでバッファにロードできる

注: UTXEN ビットは UARTEN ビットをセットするまでセットしないで下さい。そうしないと、UART 送信が有効化されません。

図 21-4: 送信 (8 ビットまたは 9 ビット データの場合)

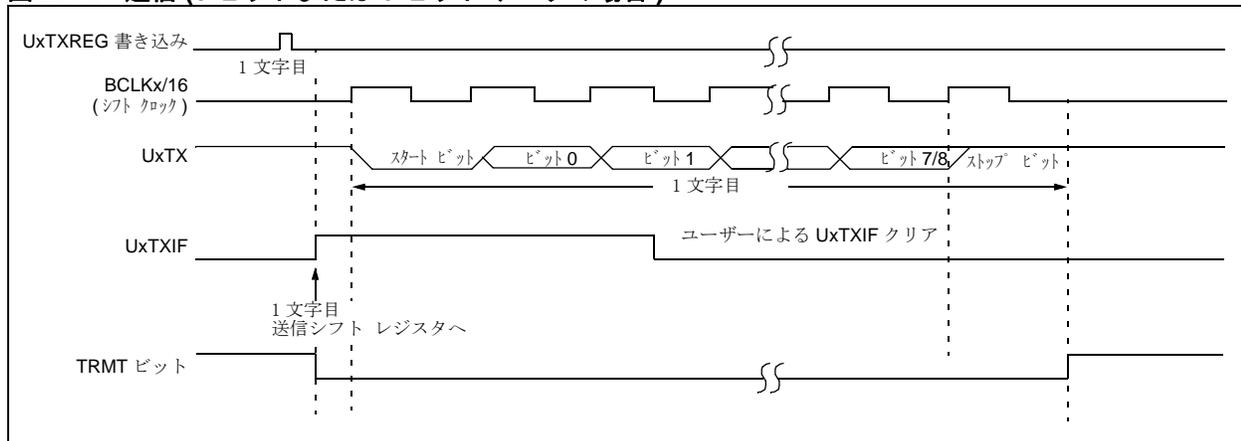
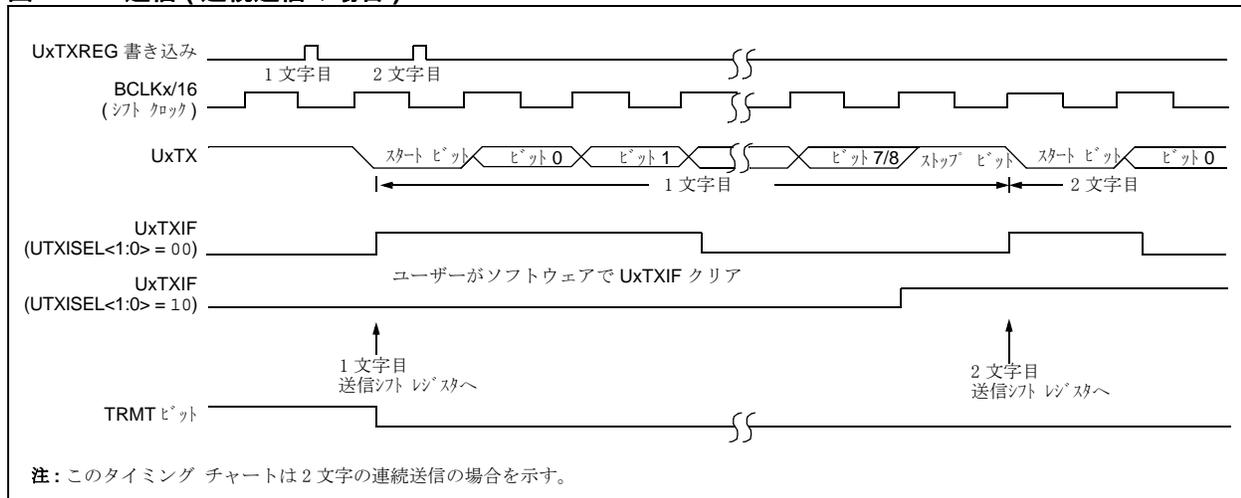


図 21-5: 送信 (連続送信の場合)



21.5.4 ブレーク文字の送信

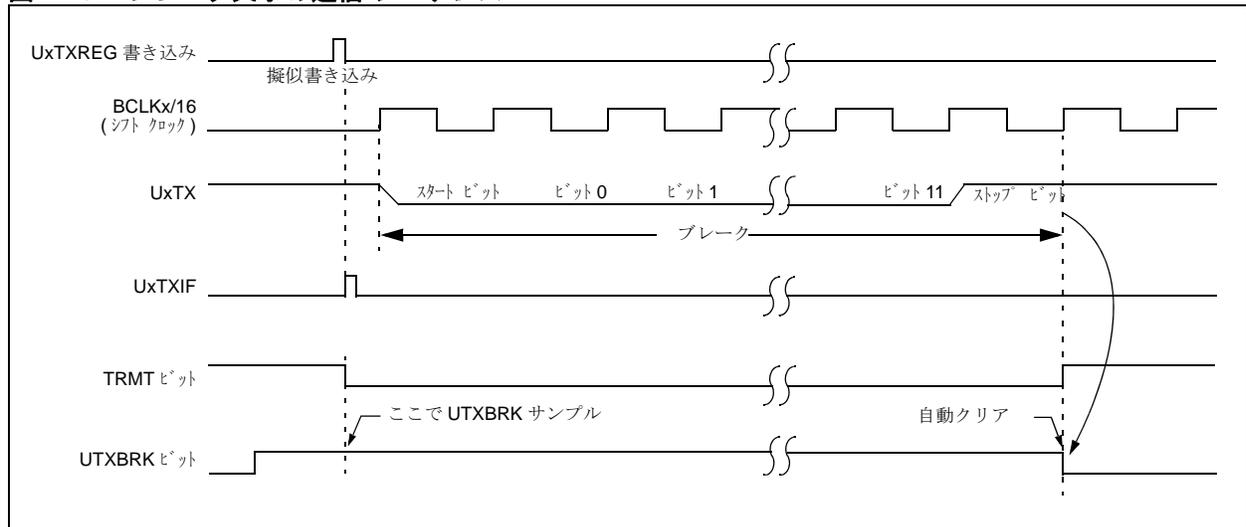
ブレーク文字送信は、スタートビットとそれに続く 12 個の「0」とストップビットから構成されます。送信シフトレジスタにデータがロードされているときに、UTXBRK ビットと UTXEN ビットがセットされたときには、いつでもフレームブレーク文字が送信されます。ブレーク文字送信を起動するには、UxTXREG レジスタへの擬似の書き込みが必要です。ブレーク文字送信の場合は、UxTXREG に書き込まれたデータは無視されます。書き込みは単に適切なシーケンスを起動するためだけで、すべて「0」が送信されます。

UTXBRK ビットは、対応するストップビットの送信後、ハードウェアで自動的にリセットされます。これにより、ブレーク文字に続く送信バイトをあらかじめ送信 FIFO にロードしておけます（一般的には LIN 仕様では同期文字）。

注：UTXBRK をセットする前に、送信がアイドル状態 (TRMT=1) になるまで待って下さい。UTXBRK はすべての送信動作を上書きします。シーケンス完了前に UTXBRK ビットをクリアすると、予期できないモジュールの挙動となります。ブレーク文字送信では送信割り込みは発生しません。

TRMT ビットは、通常の送信動作のときのように、送信シフトレジスタが空かフルであることを示します。にブレーク文字シーケンスのタイミングについては図 21-6 をご覧下さい。

図 21-6: ブレーク文字の送信 シーケンス



21.5.4.1 ブレークと同期送信シーケンス

次のシーケンスで、自動ボー同期バイトが後に続くブレークを構成するメッセージフレームヘッダを送信します。このシーケンスは標準的な LIN バスマスタとなります。

1. UART を希望するモードに構成する
2. UTXEN と UTXBRK をセットする - ブレーク文字をセットする
3. UxTXREG にダミー文字をロードして送信を起動 (値は無視される)
4. 「55h」を UxTXREG に書き込む - 送信 FIFO に同期文字をロードする

ブレークを送信した後、UTXBRK ビットがハードウェアでリセットされます。この後、同期文字が送信されます。

21.6 UART 受信部

図 21-7 は受信部のブロック図を示しています。受信部の中心は受信（シリアル）シフトレジスタ (UxRSR) です。データは UxRX ピンに受信され、データ復元ブロックに送られます。データ復元ブロックはボーレート×16 で動作しますが、メインの受信シリアルシフターはボーレートで動作します。UxRX ピンにストップ ビットをサンプリングしたあと、UxRSR 内の受信データを受信 FIFO (空の場合) に転送します。

注: UxRSR レジスタはデータ メモリにマップされていないので、ユーザーは使用できません。

UxRX ピンのデータは多数決回路により 3 回サンプリングされ、UxRX ピンに High レベルの信号と Low レベルの信号のどちらがあるのかを決定します。

21.6.1 受信バッファ (UxRXREG)

UART 受信部は深さ 4、幅 9 ビットの FIFO 受信データバッファを持っています。UxRXREG はメモリマップされたレジスタで、FIFO 出力 へのアクセスを提供します。4 ワードのデータの受信と FIFO への転送が可能です。バッファのオーバーランが発生する前に、5 番目のワードは UxRSR レジスタへシフトされ始めます。

21.6.2 受信エラー処理

FIFO がフル状態 (4 文字) で、5 個目の文字が UxRSR レジスタに完全に受信されると、オーバーラン エラー ビット OERR (UxSTA<1>) がセットされます。UxRSR 内のワードは保存されますが、OERR ビットがセットされているかぎり、受信 FIFO へのそれ以上の転送は禁じられます。さらにデータを受信させるためには、ユーザーはソフトウェアで OERR ビットをクリアする必要があります。

オーバーランの前に受信されたデータを保存したい場合は、まず 5 個の文字をすべて読み込んでから OERR ビットをクリアする必要があります。5 個の文字を破棄してもかまわない場合は、OERR ビットを簡潔にクリアできます。この操作により実質的に受信 FIFO はリセットされ、以前に受信されたデータはすべて失われます。

注: OERR ビットをクリアする前に受信 FIFO 内のデータを読み出す必要があります。FIFO は OERR がクリアされるとリセットされ、バッファ内のすべてのデータは失われます。

フレーミングエラービット FERR (UxSTA<2>) は、ロジック Low レベルの STOP ビットが検出されるとセットされます。

パリティエラー ビット PERR (UxSTA<3>) は、FIFO バッファの一番上にあるデータワード (すなわち、現在のワード) にパリティエラーが検出されるとセットされます。たとえば、パリティエラーは、パリティが偶数にセットされているが、データ内の 1 の総数が奇数である場合に発生します。PERR ビットは 9 ビットモードでは使われません。FERR と PERR ビットは対応するワードとともにバッファに保存され、データワードの読み込み前に読み出す必要があります。

これらのいずれかのエラー (OERR、FERR、PERR) が発生すると割り込みが生成されます。この生成された割り込みは、1 サイクル期間のみ有効です。この割り込みで対応する割り込みベクタに行くようにするには、ユーザーは対応する割り込み有効化制御ビット (IEC4<UxERIE>) を有効にしてください。

21.6.3 受信割り込み

UART 受信割り込みフラグ (UxRXIF) は、対応する割り込みフラグ ステータス (IFS) レジスタにあります。URXISEL<1:0> (UxSTA<7:6>) 制御ビットが、いつ UART 受信部が割り込みを発生させるかを決定します。

- URXISEL<1:0> = 00 または 01 の場合、データワードを受信シフトレジスタ (UxRSR) から受信バッファへ転送する度に割り込み発生。受信バッファには 1 個以上の文字がある
- URXISEL<1:0> = 10 の場合、1 ワードが受信シフトレジスタ (UxRSR) から受信バッファに転送され、その結果、受信バッファに 3 個または 4 個の文字を有するときに割り込みが発生する
- URXISEL<1:0> = 11 の場合、1 ワードが受信シフトレジスタ (UxRSR) から受信バッファに転送され、その結果、受信バッファに 4 個の文字を有する (すなわち、フル状態である) ときに割り込みが発生する

これら 3 つの割り込みモード間の切り替えは、動作中も可能です。

21.6.4 UART 受信のセットアップ

受信の設定は次のステップで行います。

1. 適切なボーレートで UxBRG レジスタを初期化する (21.3 項「UART ボー レート ジェネレータ (BRG)」参照)
2. PDSEL<1:0> (UxMODE<2:1>) および STSEL (UxMODE<0>) ビットに書き込みをして、データ ビット数、ストップ ビット数、パリティ選択を設定する
3. 割り込みを使用する場合は、対応する割り込み有効化制御 (IEC) レジスタ内の UxRXIE ビットをセットする。対応する割り込み優先制御レジスタ (IPC) 内の UxRXIP<2:0> ビットで割り込み優先レベルを指定する。URXISEL<1:0> (UxSTA<7:6>) ビットに書き込んで受信割り込みモードを選択する
4. UARTEN (UxMODE<15>) ビットをセットして UART モジュールを有効化する
5. 受信割り込みは URXISEL<1:0> 制御ビットの設定による。受信割り込みを有効化しない場合は、ユーザーは URXDA ビットをポーリングできる。UART 受信割り込みをサポートするソフトウェアルーチン内で、UxRXIF ビットをクリアする必要がある
6. 受信バッファからデータを読み込む。9 ビット送信を選択した場合、ワードで読み込み、それ以外の場合は、バイトで読み込む。URXDA 状態ビット (UxSTA<0>) は、バッファにデータが利用可能な状態であればいつでもセットされる

図 21-8: UART 受信

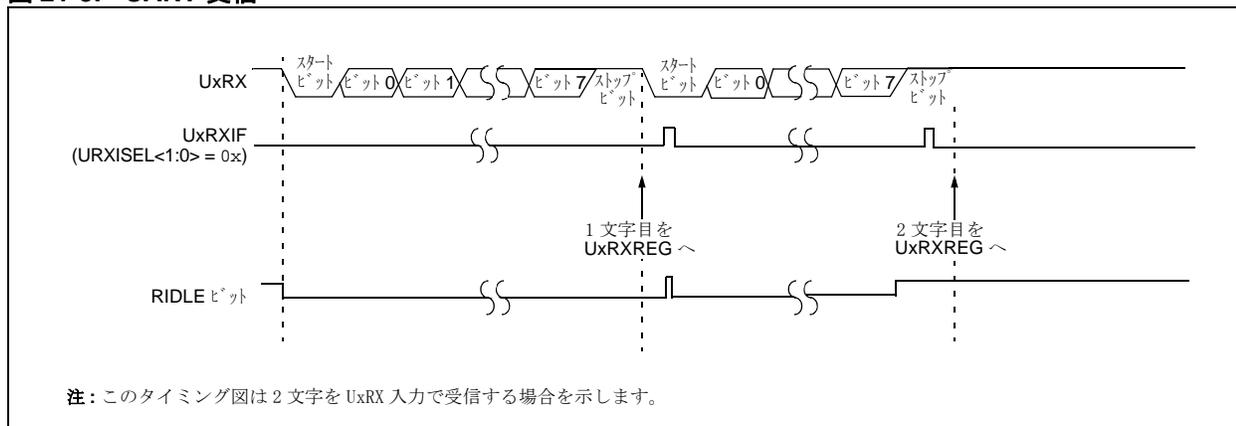
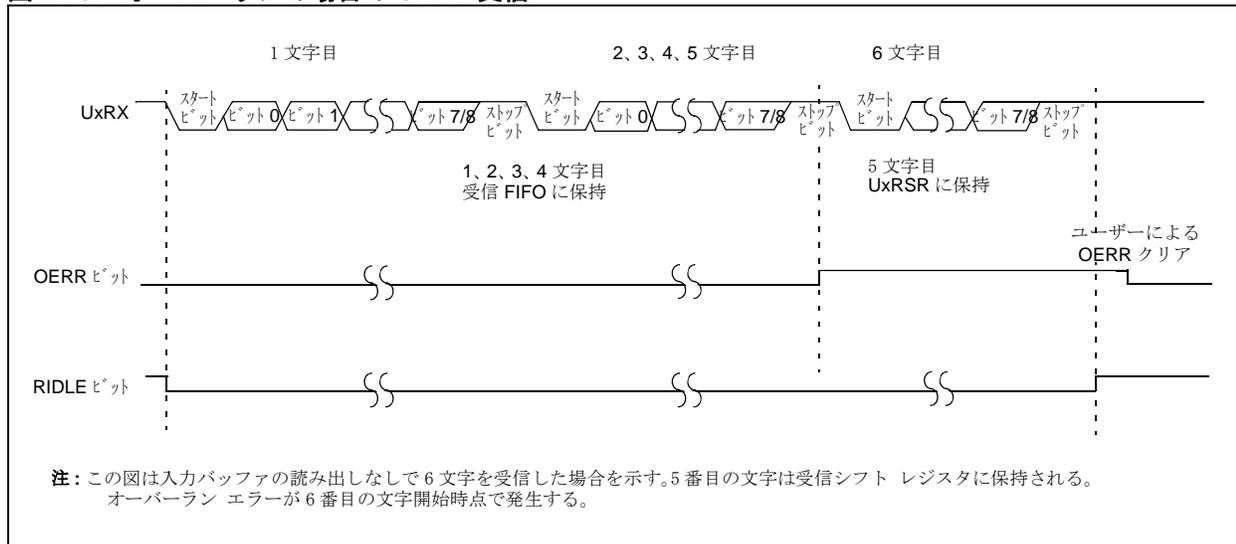


図 21-9: オーバーランの場合の UART 受信



21.7 UART の 9 ビット通信の使い方

9 ビット データ モードでの UART 受信は、マルチ プロセッサ通信に使用できます。9 ビット データ モードで ADDEN ビットをセットすると、受信部は 9 番目のデータが「0」の場合そのデータを無視します。この機能は、マルチプロセッサ環境で使えます。

21.7.1 マルチ プロセッサ間通信

典型的なマルチ プロセッサ通信プロトコルは、データ バイトとアドレス / 制御バイトを区別します。一般的な方法は 9 番目のデータ ビットを使用して、データ バイトがアドレスかデータ情報のどちらなのかを識別するというものです。9 番目のビットがセットされると、データはアドレスあるいは制御情報として処理されます。9 番目のビットがクリアされると、受信されたデータ ワードは先行するアドレス / 制御バイトに関連するデータとして処理されます。

プロトコルは次のように動作します

- マスタ デバイスが 9 番目のビットをセットしたデータ ワードを送信する。データ ワードにはスレーブ デバイスのアドレスが含まれている
- 通信チェーン中のすべてのスレーブ デバイスがアドレス ワードを受信し、スレーブ アドレス値をチェックする
- アドレス指定されたスレーブ デバイスが、マスタ デバイスが続いて送信するデータ バイトを受信し処理する。それ以外のすべてのスレーブ デバイスは、新しいアドレス ワード (9 番目のビットがセットされたもの) が受信されるまで、続いて送信されるデータバイトを破棄する

21.7.2 ADDEN 制御ビット

UART 受信部にはアドレス検出モードが備わっていて、このモードにより、9 番目のビットがクリアされているデータ ワードを無視することが可能になります。9 番目のビットがクリアされたデータ ワードがバッファされないため、割り込みオーバーヘッドが削減されます。この機能は ADDEN ビット (UxSTA<5>) をセットすることによって有効化されます。

アドレス検出モードを利用するには、UART が 9 ビット データ モードに構成されている必要があります。受信部が 8 ビットモードに構成されている場合、ADDEN ビットは効力を持ちません。

21.7.3 9 ビット送信のセットアップ

9 ビット送信のセットアップ手順は、PDSEL<1:0> (UxMODE<2:1>) を「11」にセットする必要がある以外は、8 ビット送信モードと同じです (21.5.3 項「UART 送信のセットアップ」参照)。

UxTXREG レジスタにワード書き込みを行ってください (送信が開始されます)。

21.7.4 アドレス検出モードを使った9ビット受信のセットアップ

9ビット受信のセットアップ手順は、PDSEL<1:0> (UxMODE<2:1>) に「11」をセットする必要がある以外は、8ビット受信モードと同じです (21.6.4 項「UART 受信のセットアップ」参照)。

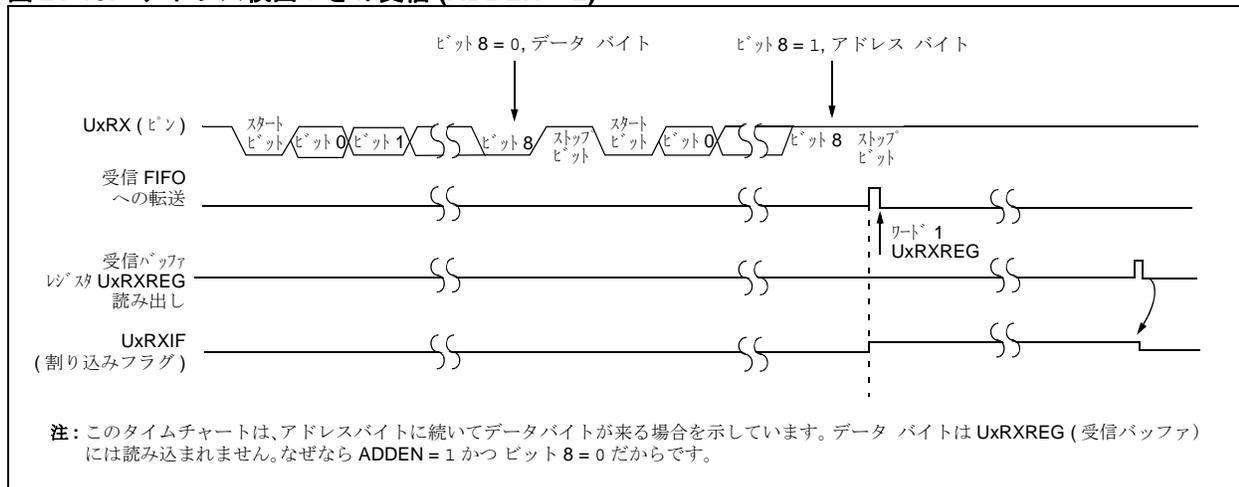
URXISEL<1:0> (UxSTA<7:6>) ビットに書き込むことによって、受信割り込みモードを構成する必要があります

注: アドレス検出モードが有効化されている場合 (ADDEN = 1)、1ワード受信毎に割り込みを発生できるように URXISEL<1:0> 制御ビットを構成する必要があります。受信されたデータワードはすべて、受信後ただちにアドレス マッチの有無をソフトウェア内でチェックする必要があります。

アドレス検出モードを使うための手順はつぎのようにします。

1. ADDEN (UxSTA<5>) ビットをセットし、アドレス検出を有効化する。1ワード受信毎に割り込みを発生させるように URXISEL 制御ビットが構成されていることを確認する
2. UxRXREG レジスタを読み込んで8ビットアドレスをチェックし、デバイスがアドレス指定されているかどうかを判定する
3. デバイスがアドレス指定されていない場合は、受信したワードを破棄する
4. デバイスがアドレス指定されている場合は、ADDEN ビットをクリアし、続いて受信するデータバイトが受信バッファに読み込まれ CPU に割り込める状態にする。長いデータパケットが予想される場合は、受信割り込みモードを変更して、割り込み間に1個以上のデータバイトをバッファすることも可能
5. 最後のデータバイトを受信したら ADDEN ビットをセットし、アドレスバイトだけ受信できる状態にする。また、URXISEL 制御ビットを1ワード受信毎に割り込みを発生させる設定とする

図 21-10: アドレス検出つきの受信 (ADDEN = 1)



21.8 ブレーク文字の受信

WAKE ビット (UxMODE <7>) = 1 と設定することでウェイク アップ機能が有効化されます。このモードで、受信部がスタート ビット・データ ビット・無効なストップ ビット (FERR がセットされる) を受信した場合、受信部は次のスタート ビットを探す前に有効なストップ ビットを待ちます。受信部は、ライン上のブレーク状態を次のスタート ビットであるとみなしません。ブレークは FERR ビットをセットした状態で、すべて「0」の文字とみなされます。ブレーク文字がバッファにロードされます。ストップ ビットが受信されるまで、それ以上の受信は行われません。13 ビットのブレーク文字が受信された後、ストップ ビットが受信されると、自動的に WAKE ビットがクリアされます。ストップ ビットが受信されると、RIDLE が High となることに注意して下さい。

受信部は、PDSEL<1:0> (UxMODE<2:1>) と STSEL (UxMODE<0>) ビットによりプログラムされた値に基づくビット分だけカウントします。

ブレークが 13 ビットより長い場合には、PDSEL と STSEL ビットで指定されたビット数分の後に受信が完了したと考えます。URXDA ビットおよび FERR ビットがセットされ、FIFO にゼロがロードされて割り込みが発生します。

WAKE (UxMODE <7>) = 0 でウェイク アップ機能がセットされていない場合は、ブレーク受信は行われません。この場合、ブレークは FERR がセットされ、バッファにロードされた 1 文字 (全て 0 のビット) としてカウントされます。

21.9 初期化

例 21-2 は 8 ビット モードでの送信 / 受信部の初期化ルーチンです。例 21-3 は 9 ビット アドレス検出モードでのアドレス可能 UART の初期化を示しています。いずれの例においても、UxBRG レジスタにロードされる値は、希望するボーレートとデバイス周波数に依存します。

注：UTXEN ビットは UARTEN ビットがセットされるまではセットしないで下さい。そうしないと UART 送信が有効になりません。

例 21-2: 8 ビット 送受信 (UART1)

```
U1BRG=#BaudRate;//Set Baudrate

IPC3bits.U1TXIP2=1;//Set Uart TX Interrupt Priority
IPC3bits.U1TXIP1=0;
IPC3bits.U1TXIP0=0;
IPC2bits.U1RXIP2=1;//Set Uart RX Interrupt Priority
IPC2bits.U1RXIP1=0;
IPC2bits.U1RXIP0=0;

U1STA=0;
U1MODE=0x8000;//Enable Uart for 8-bit data
                //no parity, 1 STOP bit
U1STAbits.UTXEN=1;//Enable Transmit
IEC0bits.U1TXIE=1;//Enable Transmit Interrupt
IEC0bits.U1RXIE=1;//Enable Receive Interrupt
```

例 21-3: 8 ビット送受信 (UART1)、アドレス検出有効化時

```
U1BRG=#BaudRate;//Set Baudrate

IPC3bits.U1TXIP2=1;//Set Uart TX Interrupt Priority
IPC3bits.U1TXIP1=0;
IPC3bits.U1TXIP0=0;
IPC2bits.U1RXIP2=1;//Set Uart RX Interrupt Priority
IPC2bits.U1RXIP1=0;
IPC2bits.U1RXIP0=0;

U1STA=0;
U1STAbits.ADDEN=1;//Address detect enabled
U1MODE=0x8080;//Enable Uart for 8-bit data
           //no parity,1 STOP bit,wake enabled
U1STAbits.UTXEN=1;//Enable Transmit
IEC0bits.U1TXIE=1;//Enable Transmit Interrupt
IEC0bits.U1RXIE=1;//Enable Receive Interrupt
```

21.10 UART のその他の機能

21.10.1 ループバック モードにおける UART

LPBACK ビットをセットすると、この特別なモードが有効化されます。このモードにおいては UxTX 出力が UxRX 入力に内部接続されます。ループバックモード対応に構成された場合、UxRX ピンは内部 UART 受信ロジックから切断されます。ただし、UxTX ピンは通常通り機能します。

このモードを選択するには次の手順に従ってください。

1. 希望する動作モードに UART を構成する
 2. 21.5 項「UART 送信部」に定義されているように送信部を有効にする
 3. LPBACK = 1 (UxMODE<6>) としてループバック モードを有効にする
- ループバック モードは、表 21-3 に示したように UEN<1:0> ビットに依存します。

表 21-3: ループバック モードのピン機能

UEN<1:0>	ピン機能、LPBACK = 1 ⁽¹⁾
00	UxRX 入力は UxTX に接続、UxTX ピンは機能する、UxRX ピンは無視、UxCTS/UxRTS は未使用
01	UxRX 入力は UxTX に接続、UxTX ピンは機能する、UxRX ピンは無視、UxRTS ピンは機能する、UxCTS は未使用
10	UxRX 入力は UxTX に接続、UxTX ピンは機能する、UxRX ピンは無視、UxRTS ピンは機能する、UxCTS 入力は UxRTS に接続、UxCTS ピンは無視
11	UxRX 入力は UxTX に接続、UxTX ピンは機能する、UxRX ピンは無視、BCLKx ピンは機能する、UxCTS/UxRTS は未使用

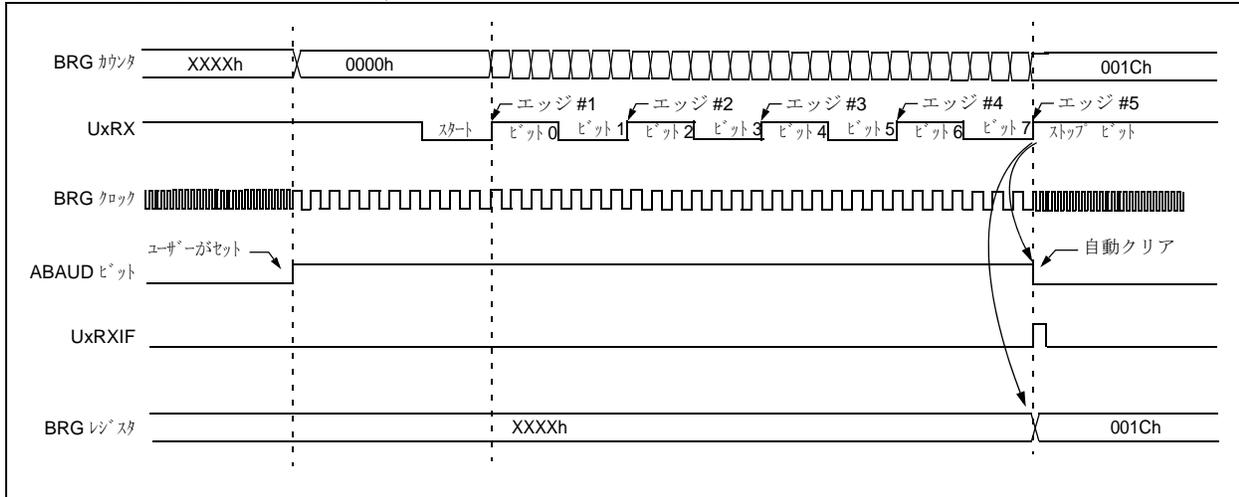
注 1: LPBACK = 1 は UART モジュールに関連する他のビットを有効にしたあとで設定して下さい。

21.10.2 自動ボーのサポート

ABAUD ビットを有効化すると、受信された文字のボーレートをシステムが決定できます。自動ボーレート検出ビットが有効化 (ABAUD = 1) されると、UART はスタートビットが受信されるごとに自動ボーレート計測シーケンスを開始します。計測は自己 (自動) 平均化されます。この機能は、自動ウェイク アップが無効 (WAKE = 0) の場合のみ有効となります。さらに、自動ボー動作中は、LPBACK は「0」としなければなりません。ABAUD がセットされると、BRG カウンタの値はクリアされ、スタート ビット待ちとなります。この場合のスタート ビットは、High から Low への遷移に続く Low から High への遷移として定義されます。

スタート ビットに続いて、自動ボーは、適切なビット レートを計算するために ASCII の「U」(「55h」) を待ちます。計測は、入力信号の非対称性による誤差を最小にするため、Low と High ビット時間の両方で行われます。スタート ビットの最後 (立ち上がりエッジ) で、BRG カウンタが Tcy/8 クロックを使ってカウントアップを開始します。UxRX ピンの 5 回目の立ち上がりエッジで、積算した BRG カウント値を合計の適切な BRG 値として UxBRG レジスタに転送します。ABAUD ビットは自動的にクリアされます。シーケンス完了前に ABAUD ビットをユーザがクリアした場合、予測できないモジュールの挙動を招く結果となります。ABD シーケンスについては図 21-11 を参照して下さい。

図 21-11: 自動ボーレートの計算



自動ボーシーケンスの実行中は、UART ステート マシンはアイドル状態のままとなります。UxRXIF 割り込みが URXISEL<1:0> 設定とは関係なく UxRX の 5 番目の立ち上がりエッジでセットされます。受信 FIFO は更新されません。

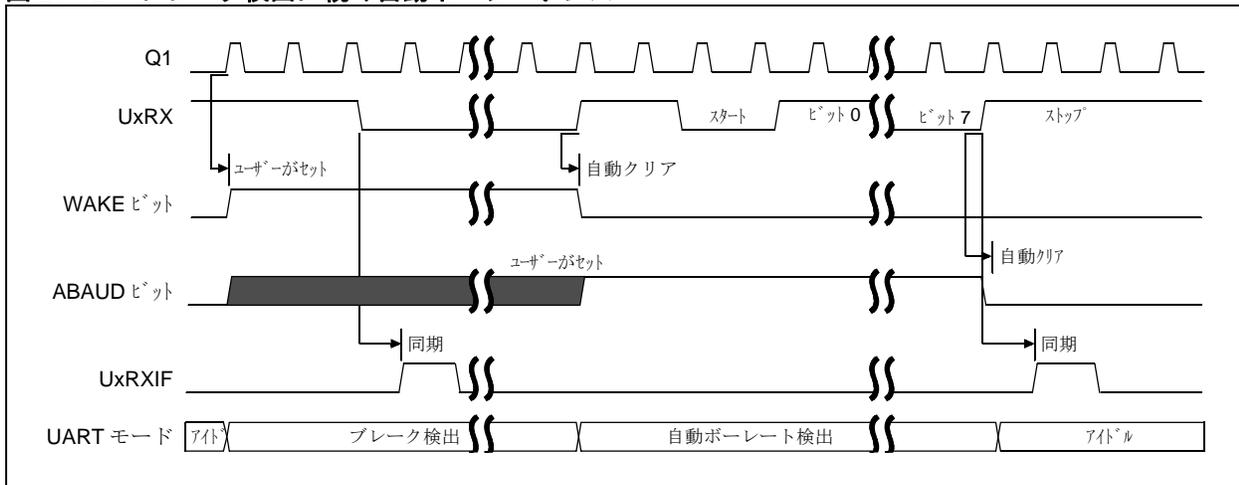
21.10.2.1 ブレーク検出シーケンス

ブレーク検出後直ぐに自動ボーに構成できます。これは、WAKE ビットがセットされている上体で ABAUD ビットをセットすることで行われます。図 21-12 にブレーク検出とそれに続く自動ボーシーケンスを示します。WAKE ビットは ABAUD ビットの設定より優先します。

注: WAKE ビットが ABAUD とともにセットされている場合、ブレーク文字に続くバイトで自動ボーレート検出が行われます。入力文字のボーレートが、与えられたクロックで可能なボーレートを考慮したうえで、選択した UxBRG クロック源の範囲内になることを確認して下さい。

UART 送信部は自動ボーレート シーケンス中は使用できません。さらに、すでに送信シーケンスが進行している間に、ABAUD ビットがセットされないことを確認して下さい。そうしないと UART は予測できない挙動を示す可能性があります。

図 21-12: ブレーク検出に続く自動ボーシーケンス



21.11 CPU がスリープとアイドルモード中の UART 動作

UART はスリープモード中は機能しません。送信中にスリープモードに入ると送信は中断されて、UxTX ピンは論理「1」になります。同様に、受信中にスリープモードに入ると受信は中断されます。

UART はスリープ中はリセットとなります。

UxRTS ピンは省電力モード中は「0」となり、それ以外の場合は、21.12 項「UxCTS と UxRTS 制御ピンの動作」にて既定された値に駆動されます。

BCLKx ピン(有効な場合)が「0」になります。次のレジスタは、スリープモードに入るときも出るときも影響されません。

- UxMODE と UxSTA レジスタ
- 送受信レジスタとバッファ
- UxBRG レジスタ

送信あるいは受信が進行中にスリープに入るのを止める自動の方法はありません。ユーザーがスリープにする前に RIDLE ビットをチェックすることで受信が中断されるのを避けられます。送信はユーザーが制御できますから、送信が中断されないように、ユーザーソフトウェアで UART 動作とスリープへの移行を同期させなければなりません。

UART をアイドル中に動作継続させるか停止させるかは、USIDL ビットで選択できます。USIDL = 0 ならアイドル中もモジュールは動作を継続します。USIDL = 1 ならアイドル中はモジュール停止となります。UART はアイドル中停止 (USIDL = 1) とされた場合はスリープモードのときと同じ動作となります。

21.11.1 同期ブレイク文字による自動ウェイクアップ

自動ウェイクアップ機能は、WAKE ビット (UxMODE<7>) により有効化されます。WAKE がアクティブになると、UxRX の通常の受信シーケンスは無効となります。ウェイクアップイベントに続いて UxRXIF 割り込みが発生します。

ウェイクアップ動作させるときは、LPBACK ビット (UxMODE<6>) を「0」にしなければなりません。

ウェイクアップイベントは、UxRX ラインが High から Low への遷移で構成されます。これは LIN プロトコルにおける同期ブレイクあるいはウェイクアップ信号文字と符号します。WAKE がアクティブなら、CPU モードに関係なく UxRX ラインが常時モニタされます。通常ユーザーモードであれば Q クロックに同期して、モジュールがスリープかアイドルで無効の場合には非同期に UxRXIF 割り込みが生成されます。実データを失わないようにするには、スリープモードに入る直前で、かつ UART モジュールがアイドル中に WAKE ビットをセットする必要があります。

WAKE ビットはウェイクアップイベントの後の UxRX ラインの Low から High への遷移を認めると自動的にクリアされます。これで、アイドルモード中の UART モジュールが通常動作に戻ります。これがユーザーに同期ブレイクイベントが終了した信号を送ります。もしシーケンス完了前にユーザーが WAKE ビットをクリアすると、モジュールは予期しない挙動を引き起こす結果となります。

ウェイクアップイベントは、UxRXIF ビットをセットするので受信割り込みを生成します。受信割り込み選択ビット (URXISEL<1:0>) はこの機能では無視されます。UxRXIF 割り込みが有効なら、デバイスをウェイクアップさせます。

注：同期ブレイク文字(またはウェイクアップ信号)は、選択クロックが発振開始して UART を初期化するのに十分な時間継続しなければなりません。デバイスがウェイクアップしたか確認するため、ユーザーは WAKE ビットの値を読み出す必要があります。これがクリアされていれば、UART がその時間内に次の文字の受信ができるように準備できなかった可能性がありますので、モジュールをバスに再同期させる必要があるでしょう。

図 21-13: 通常動作中の自動ウェイクアップビット (WAKE) の タイミング

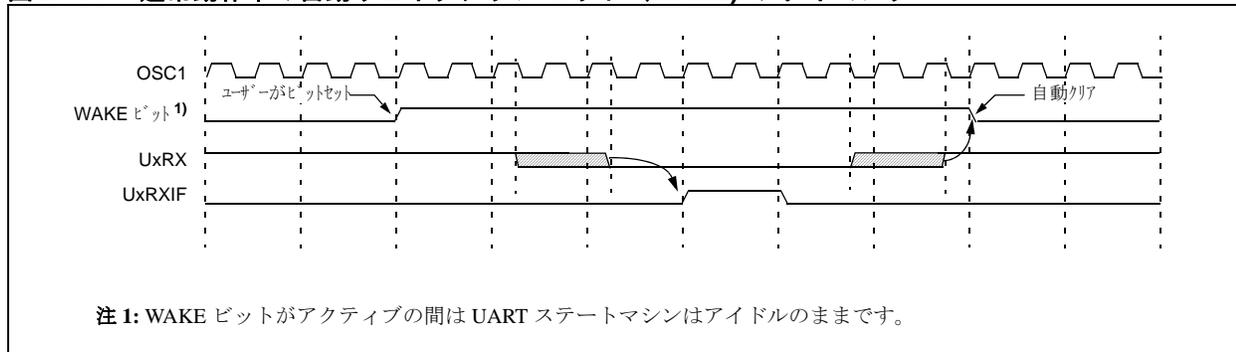
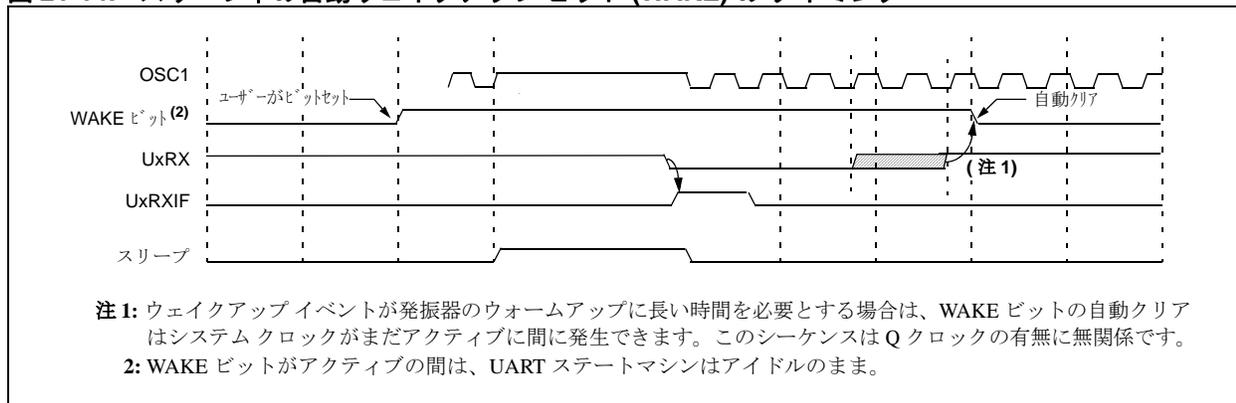


図 21-14: スリープ中の自動ウェイクアップビット (WAKE) の タイミング



21.12 UxCTS と UxRTS 制御ピンの動作

$\overline{\text{UxCTS}}$ (Clear to Send) と $\overline{\text{UxRTS}}$ (Request to Send) は、UART モジュールに関連する 2 つのハードウェア制御ピンです。これらの 2 つのピンで UART の単方向とフロー制御モード動作を可能としています。詳細はそれぞれ 21.12.2 項「フロー制御モードでの $\overline{\text{UxRTS}}$ の機能」と 21.12.3 項「単方向モードでの $\overline{\text{UxRTS}}$ の機能」で説明しています。これは DTE(Data Terminal Equipment) との送受信の制御のために実装されています。

21.12.1 $\overline{\text{UxCTS}}$ の機能

UART 動作で、 $\overline{\text{UxCTS}}$ は送信を制御する入力ピンとして動作します。このピンは他のデバイス (一般的には PC) により制御されます。 $\overline{\text{UxCTS}}$ ピンは $\text{UEN}\langle 1:0 \rangle$ を使って構成されます。 $\text{UEN}\langle 1:0 \rangle = 10$ の場合、 $\overline{\text{UxCTS}}$ は入力として構成されます。 $\overline{\text{UxCTS}} = 1$ の場合、送信部は送信シフトレジスタにデータをロードするところまで行きますが、送信は起動されません。これにより、コントローラからの要求に従い、DTE が制御してデータを受信できるようにします。

$\overline{\text{UxCTS}}$ ピンは送信データが変わると同時に (つまり 16 ボーレートクロックの最初で) サンプルングされます。送信は $\overline{\text{UxCTS}}$ ピンが Low にサンプルングされたときのみ開始されます。 $\overline{\text{UxCTS}}$ は Q クロックで内部でサンプルングされますから、 $\overline{\text{UxCTS}}$ は最小 1 Tcy の幅である必要があります。しかし、Tcy は使用クロックによって変わるので仕様にはできません。

対応するポートピンを読むことで $\overline{\text{UxCTS}}$ のステータスを読み出せます。

21.12.2 フロー制御モードでの $\overline{\text{UxRTS}}$ の機能

フロー制御モードでは、図 21-15 に示すように、DTE の $\overline{\text{UxRTS}}$ が PIC24F の $\overline{\text{UxCTS}}$ に接続され、DTE の $\overline{\text{UxCTS}}$ が PIC24F の $\overline{\text{UxRTS}}$ に接続されます。 $\overline{\text{UxRTS}}$ 信号は、デバイスがデータ受信可能であることを示します。 $\overline{\text{UxRTS}}$ ピンは、 $\text{UEN}\langle 1:0 \rangle = 01$ または 10 の場合常に出力として駆動されます。 $\overline{\text{UxRTS}}$ は受信部がデータ受信可能ならアサート (Low) されます。RTSMD ビット = 0 (デバイスがフロー制御モード) の場合、受信バッファがフルでないか、OERR ビットがセットされていなければ、常に $\overline{\text{UxRTS}}$ ピンは Low に駆動されます。RTSMD ビット = 0 の場合は、デバイスが受信準備できていなければ (つまり受信バッファがフルかシフト中) 常に $\overline{\text{UxRTS}}$ ピンが High に駆動されます。

DTE の $\overline{\text{UxRTS}}$ が PIC24F の $\overline{\text{UxCTS}}$ に接続されていますから、データ受信準備ができていれば常に $\overline{\text{UxRTS}}$ が $\overline{\text{UxCTS}}$ を Low に駆動します。21.12.1 項「 $\overline{\text{UxCTS}}$ の機能」に示したようにデータ送信は $\overline{\text{UxCTS}}$ が Low になると開始されます。

21.12.3 単方向モードでの $\overline{\text{UxRTS}}$ の機能

単方向モードの場合は、図 21-16 に示すように DCE の $\overline{\text{UxRTS}}$ は PIC24F の $\overline{\text{UxRTS}}$ に接続され、DCE の $\overline{\text{UxCTS}}$ は PIC24F の $\overline{\text{UxCTS}}$ に接続されます。単方向モードでは、 $\overline{\text{UxRTS}}$ 信号は DTE が送信準備できたことを示します。DCE は送信の受信が可能なら、有効な $\overline{\text{UxCTS}}$ で $\overline{\text{UxRTS}}$ 信号に返信します。DTE は有効な $\overline{\text{UxCTS}}$ を受けたときに送信を開始します。

図 21-17 に示したように、単方向モードは、IEEE-485 システムの送信有効化としても使用できます。 $\overline{\text{UxRTS}}$ が DTE の送信準備完了を表したとき、 $\overline{\text{UxRTS}}$ 信号でドライバを有効化します。

$\text{UEN}\langle 1:0 \rangle = 01$ または 10 と設定されると、常に $\overline{\text{UxRTS}}$ ピンは出力となり駆動されます。RTSMD = 1 の場合、データ送信可能 (TRMT = 0) なら常に $\overline{\text{UxRTS}}$ がアサート (Low) されます。RTSMD = 1 の場合、送信が空 (TRMT = 1) なら $\overline{\text{UxRTS}}$ はデアサート (High) とされます。

図 21-15: DTE-DTE 間の UxRTS/UxCTS フロー制御 (RTSMD = 0、フロー制御モード)

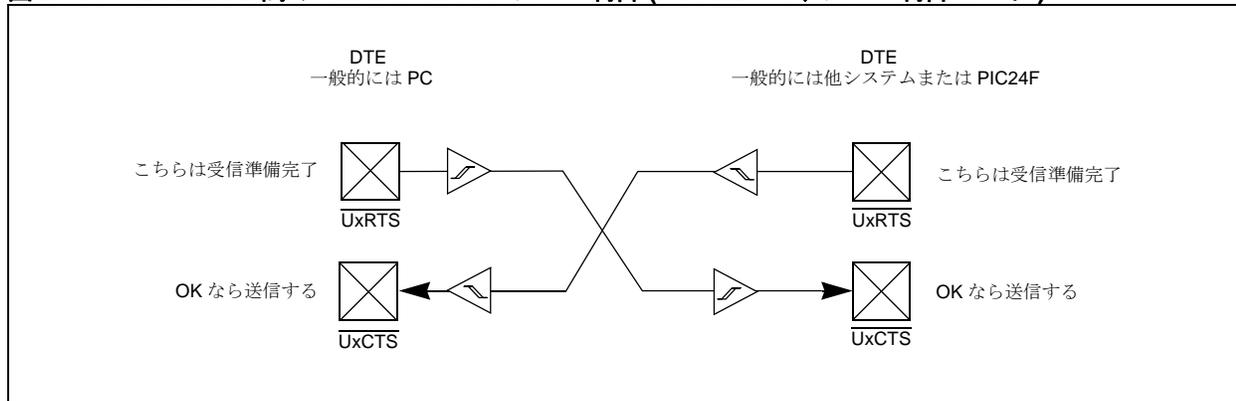


図 21-16: DTE-DCE 間の UxRTS/UxCTS によるハンドシェイク (RTSMD = 1、単方向モード)

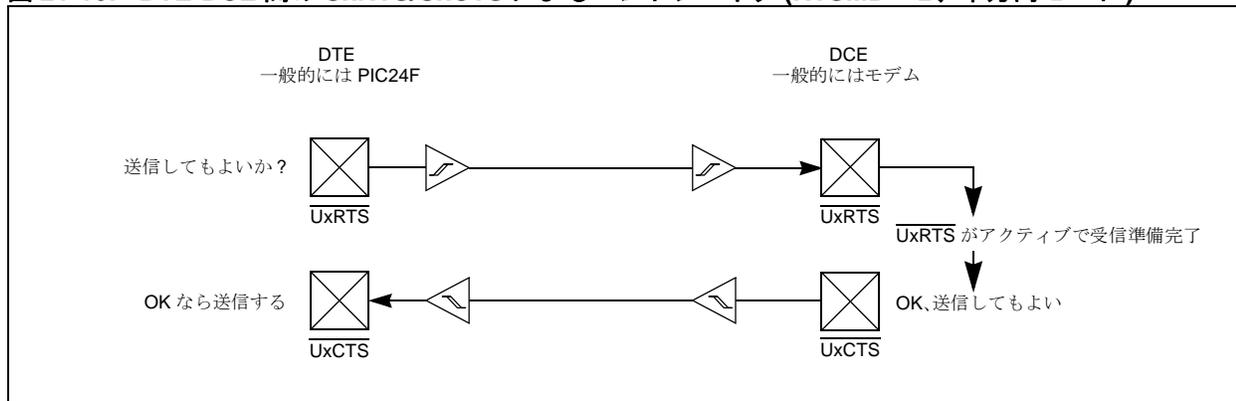
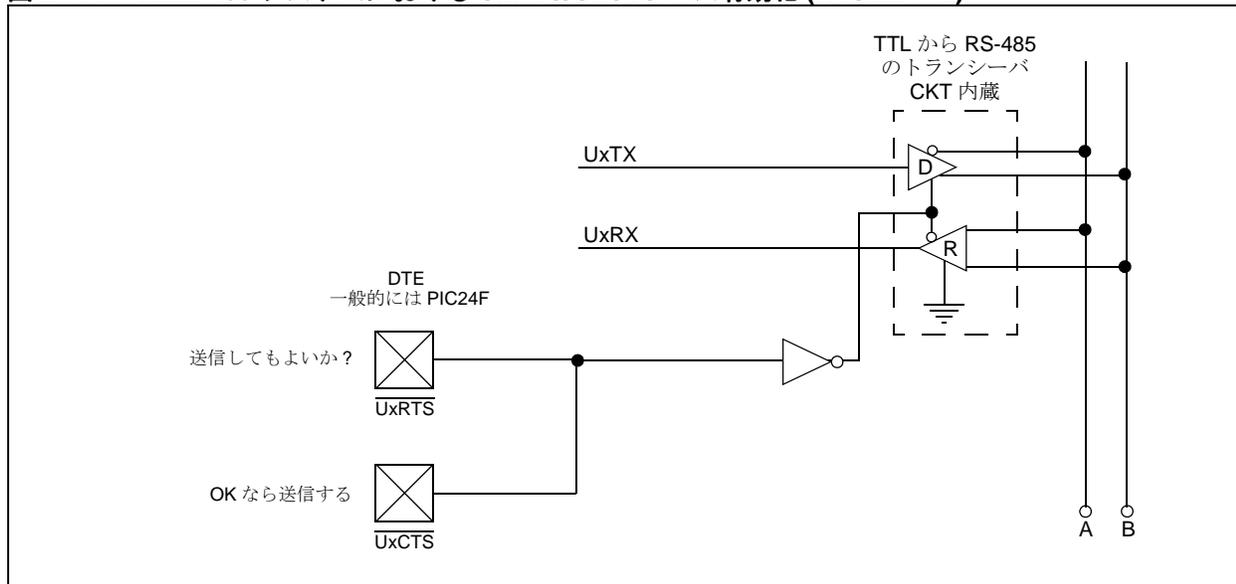


図 21-17: IEEE-485 システムにおける UxRTS/UxCTS バス有効化 (RTSMD = 1)



21.13 赤外線のリポート

UART モジュールは 2 タイプの赤外線 UART をサポートしています。ひとつは外付け IrDA エンコーダ、デコーダ デバイス (従来モジュールのサポート) 用の IrDA クロック出力で、もうひとつは、IrDA エンコーダ、デコーダのフル実装です。

21.13.1 外付け IrDA サポート – IrDA クロック出力

外付け IrDA エンコーダ、デコーダ デバイスをサポートするため、BCLKx ピンを 16x ボー クロック出力に構成できます。UEN<1:0> = 11 の場合、BCLKx ピンは、UART モジュール が有効な場合、16x ボー クロックを出力します。これは IrDA コーデック チップのサポート 用に使えます。

21.13.2 内蔵の IrDA エンコーダとデコーダ

UART は IrDA のエンコーダ、デコーダを UART モジュールの一部としてフル実装してい ます。組み込みの IrDA エンコーダ、デコーダ機能は IREN ビット (UxMODE<12>) で有効 化されます。有効化 (IREN = 1) された場合、受信ピン (UxRX) は、赤外線受信機からの入 力となります。送信ピン (UxTX) は、赤外線送信機への出力となります。

21.13.2.1 IrDA エンコーダ機能

エンコーダは UART からのシリアル データを取得して動作し、それを以下の説明のよう に置き換えます。

「1」の送信ビット データは、16x ボー クロックの 16 周期全部が「0」としてエンコードさ れます。「0」の送信ビット データは、16x ボー クロックの最初の 7 周期は「0」、次の 3 周 期は「1」、残りの 6 周期は「0」としてエンコードされます。詳細は 図 21-18 と 図 21-20 を参照して下さい。

21.13.2.2 IrDA 送信極性

IrDA 送信極性は、UTXINV ビット (UxSTA<14>) で選択します。このビットは、IrDA エン コーダ、デコーダが有効化 (IREN = 1) された場合のみ効力を持ちます。このビットは通常 送受信の場合には受信部およびモジュール動作には影響しません。UTXINV = 0 の場合、 UxTX ラインのアイドル状態は「0」となります (図 21-18 参照)。UTXINV = 1 の場合は、 UxTX ラインのアイドル状態は「1」となります (図 21-19 参照)。

図 21-18: IrDA® エンコードの配列

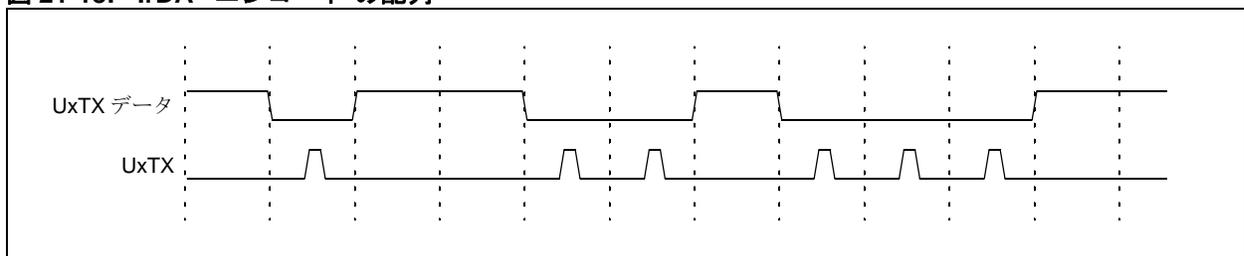


図 21-19: 「0」ビット データの場合の IrDA® エンコードの配列

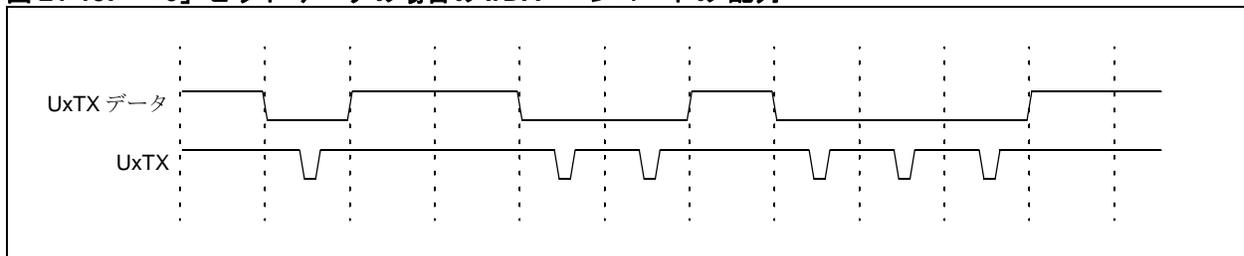
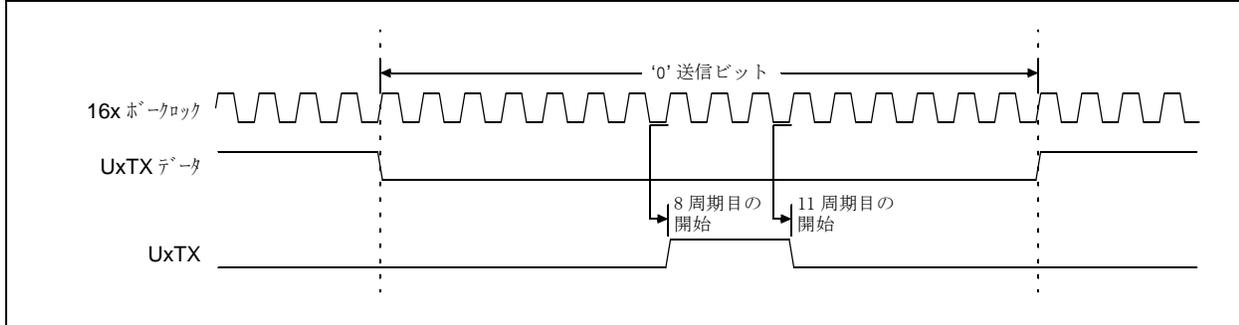


図 21-20: x16 クロックを関連付けた「0」ビットデータに対する IrDA® エンコードの配列



21.13.2.3 IrDA デコーダ機能

デコーダは UxRX ピンからのシリアルデータを取得し、デコードされたデータ列に置き換えます。このデータの流は UxRX 入力の立下りエッジ検出に基づいてデコードされます。

UxRX の立下りエッジごとにデコードされたデータが 16x ボークロックの 16 周期の間 Low に駆動されます。16 周期完了時点で、別の立下りエッジが検出されたら、デコードしたデータは次の 16 周期間 Low のままとなります。立下りエッジが検出されなかった場合は、デコードしたデータを High とします。

デバイスへのデータの流は、16x ボークロックの 7 から 8 周期のどこかで実際のメッセージ源からデバイス内へシフトされます。1 クロックのばらつきは、クロック エッジの分解能によるものです (詳細は図 21-21 参照)。

21.13.2.4 IrDA 受信極性

IrDA 信号の入力を反転極性にできます。同様ロジックで信号列のデコードが行われますが、この場合には、元のメッセージ源からデコードされたデータの流のシフトは、16x ボークロックの 10 から 11 周期で行われます。この場合の 1 クロックのばらつきもエッジ検出の分解能によるものです (詳細は図 21-22 を参照)。

21.13.2.5 クロックのジッタ

ジッタまたはデバイス間のわずかな周波数差により、次の立下りビットエッジを 16x 周期の 1 周期分だけ見逃す可能性があります。この場合は、1 クロック幅のパルスがデコードデータの流に現れます。しかし、UART のビット中央付近での多数検出により、これは誤ったデータの原因とはなりません (詳細は図 21-23 を参照)。

図 21-21: IrDA® デコード配列のマクロビュー

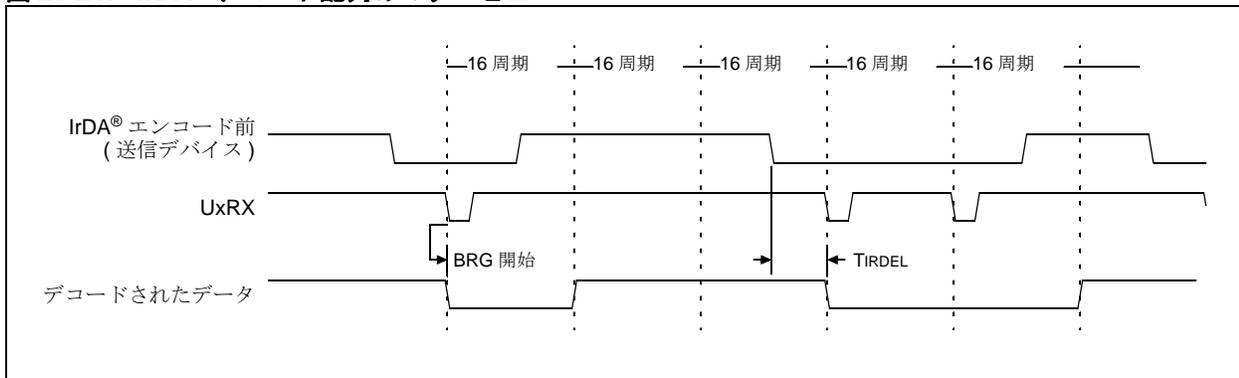


図 21-22: 反転極性のデコード結果

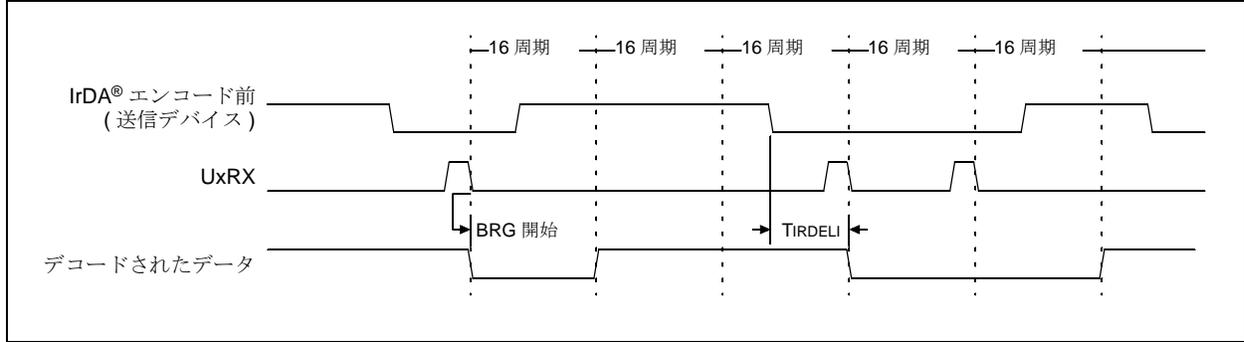
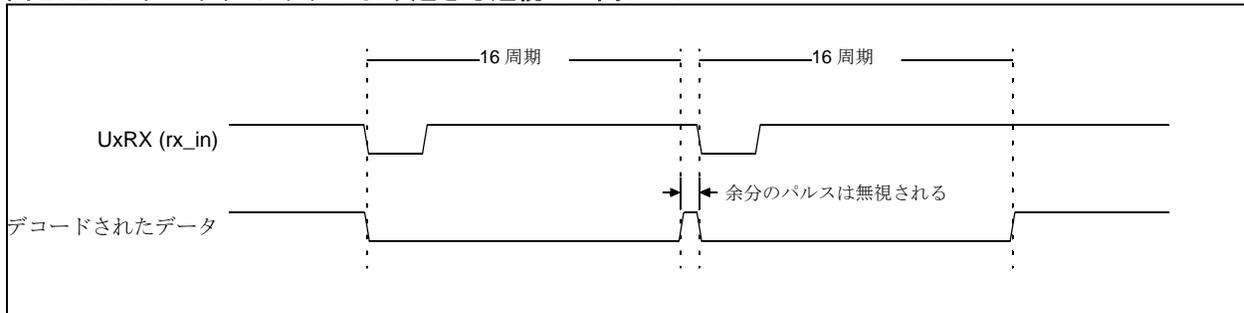


図 21-23: クロック ジッタにより起きる連続ゼロ間のパルス



21.14 UART モジュールに関連するレジスタ

PIC24F UARTx に関連するレジスタのまとめを表 21-4 に示します。

表 21-4: UARTx に関連するレジスタ マップ

SFR 名	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット値
UxMODE	UARTEN	UFRZ	USIDL	IREN	RTSMD	ALTIO	UEN1	UEN0	WAKE	LPBACK	ABAUD	—	BRGH	PDSEL1	PDSEL0	STSEL	0000
UxSTA	UTXISEL1	UTXINV	UTXISEL0	—	UTXBRK	UTXEN	UTXBF	TRMT	URXISEL1	URXISEL0	ADDEN	RIDL	PERR	FERR	OERR	URXDA	0110
UxTXREG	—	—	—	—	—	—	—	—	UTX8	送信レジスタ							xxxxx
UxRXREG	—	—	—	—	—	—	—	—	URX8	受信レジスタ							0000
UxBRG	ボーレート ジェネレータプリスケアラ																0000
IFS0	—	—	AD1IF	UxTXIF	UxRXIF	SPI1IF	SPF1IF	T3IF	T2IF	OC2IF	IC2IF	—	T1IF	OC1IF	IC1IF	INT0IF	0000
IFS4	—	—	—	—	—	—	—	—	—	—	—	—	CRCIF	U2ERIF	UxERIF	—	0000
IEC0	—	—	AD1IE	UxTXIE	UxRXIE	SPI1IE	SPF1IE	T3IE	T2IE	OC2IE	IC2IE	—	T1IE	OC1IE	IC1IE	INT0IE	0000
IEC4	—	—	—	—	—	—	—	—	—	—	—	—	CRCIE	U2ERIE	UxERIE	—	0000
IPC2	—	UxRXIP2	UxRXIP1	UxRXIP0	—	SPI1IP2	SPI1IP1	SPI1IP0	—	SPF1IP2	SPF1IP1	SPF1IP0	—	T3IP2	T3IP1	T3IP0	4444
IPC3	—	—	—	—	—	—	—	—	—	AD1IP2	AD1IP1	AD1IP0	—	UxTXIP2	UxTXIP1	UxTXIP0	0044
IPC16	—	CRCIP2	CRCIP1	CRCIP0	—	U2ERIP2	U2ERIP1	U2ERIP0	—	UxERIP2	UxERIP1	UxERIP0	—	—	—	—	4440

注: UARTx に関連するレジスタは参照用です。UART モジュールに関連するレジスタの詳細はそのデバイスのデータシートを参照して下さい。

21.15 電氣的仕様

21.15.1 タイミング図

図 21-24: ボーレート ジェネレータ出カタイミング

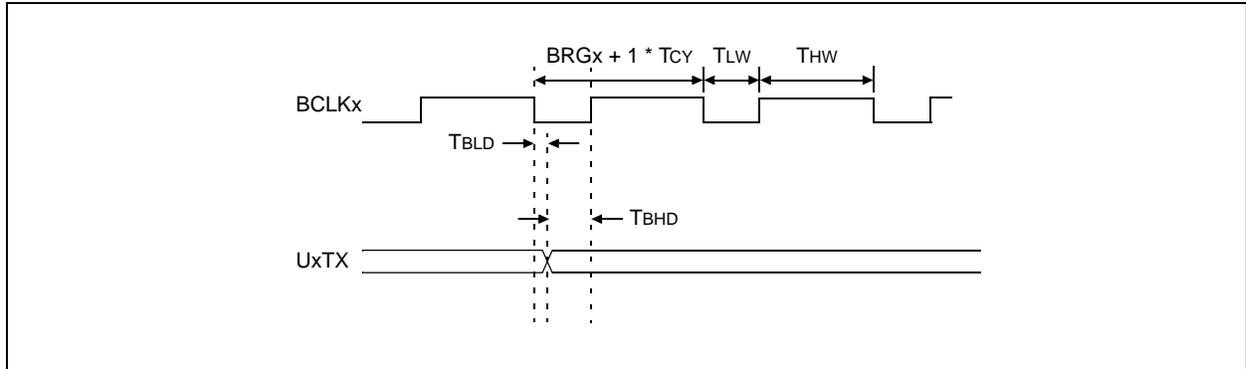


図 21-25: スタート ビットのエッジ検出

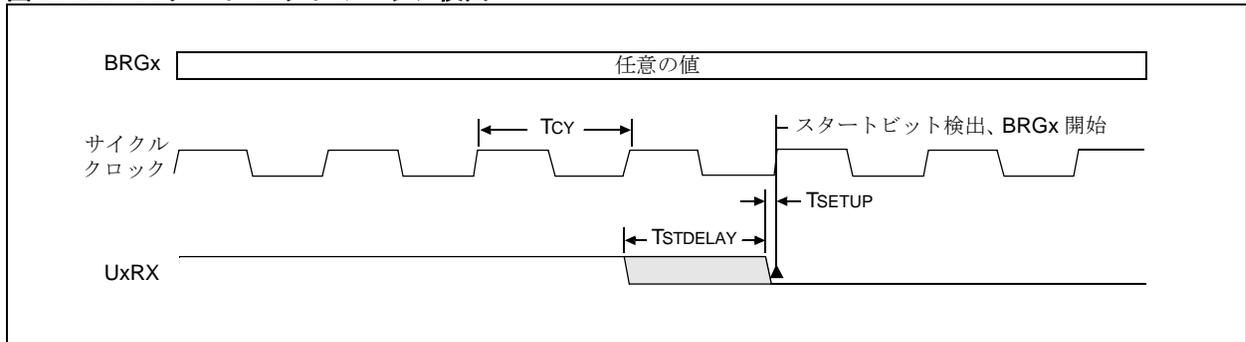


表 21-5: AC 仕様

記号	特性	Min	Typ	Max	単位
TLW	BCLKx High 時間	20	$T_{cy}/2$	—	ns
THW	BCLKx Low 時間	20	$(T_{cy} * BRGx) + T_{cy}/2$	—	ns
TBLD	BCLKx 立下りエッジの UxTX からの遅延	-50	—	50	ns
TBHD	BCLKx 立ち上がりエッジの UxTX からの遅延	$T_{cy}/2 - 50$	—	$T_{cy}/2 + 50$	ns
TWAK	ウェイク アップに必要な UxRX ラインの最小 Low 時間	—	1	—	μ s
TCTS	送信を開始するための UxCTS ラインの最小 Low 時間	T_{cy}	—	—	ns
TSETUP	スタート ビット立下りエッジからシステム クロックの立ち上がりエッジまでのセット アップ時間	3	—	—	ns
TSTDELAY	スタート ビット立下りエッジ検出までの最大遅延	—	—	$T_{cy} + T_{SETUP}$	ns

21.16 設計の秘訣

質問 1: UART から送信したデータを正常受信できません。何が原因でしょうか？

回答: 受信エラーの原因の多くは、UART ボーレート ジェネレータの計算が間違っていることです。UxBRG レジスタに書き込んでいる値が正しいか確認して下さい。

質問 2: UART 受信ピンの信号が正しいように見えるのにフレーミングエラーが起きます。何が原因でしょうか？

回答: 次の制御ビットが正しく設定されているかを確認して下さい。

- UxBRG: UART ボーレート レジスタ
- PDSEL<1:0>: パリティとデータ サイズ選択ビット
- STSEL: ストップ ビットの選択

21.17 関連するアプリケーションノート

この項では、マニュアルのこの章に関連するアプリケーションノートをリストアップします。これらのアプリケーションノートは、特に PIC24F デバイス ファミリー用に書かれているわけではありませんが、その概念は適切であり、変更、あるいは制限事項を考慮に入れて使用可能です。現在、UART モジュールに関連するアプリケーションノートは次の通りです。

タイトル	アプリケーションノート #
現在関連するアプリケーションノートはありません	

注: PIC24F ファミリーデバイスに関するその他のアプリケーションノートやコード例についてはマイクロチップ ウェブ サイト (www.microchip.com) をご覧下さい。

21.18 改版履歴

リビジョン A (2006 年 4 月)

本文書の初版リリース。